

การปรับปรุงค่าหน่วงเวลาและการตอบสนองทางความถี่ของวงจรรอนาล็อกโดย  
การใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

IMPROVEMENT DELAY TIME AND FREQUENCY RESPONSE OF  
ANALOG CIRCUITS USING FRACTIONAL-ORDER FUNCTIONS

ชเนศ สุขแสง

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร  
ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี

ปีการศึกษา 2555

ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี

การปรับปรุงกำหนดเวลาและการตอบสนองทางความถี่ของวงจรถอด  
โดยการใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

ชเนศ สุขแสง

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร  
ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า  
คณะวิศวกรรมศาสตร์  
มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี  
ปีการศึกษา 2555  
ลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี

หัวข้อวิทยานิพนธ์	การปรับปรุงค่าหน่วยเวลาและการตอบสนองทางความถี่ของวงจร อนาล็อกโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย Improvement of Delay Time and Frequency Response of Analog Circuits Using Fractional-Order Functions
ชื่อ – นามสกุล	นายธนศ สุขแสง
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	อาจารย์ฉัตรชัย สุภพิทักษ์สกุล, Ph. D.
ปีการศึกษา	2555

---

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ  
(ดร. ไพฑูรย์ รักเหลือ)

..... กรรมการ  
(รองศาสตราจารย์ ดร.กนก เคนจิระพันธ์)

..... กรรมการ  
(ผู้ช่วยศาสตราจารย์ ดร.จิรวัดน์ คชสาร)

..... กรรมการ  
(ดร.ฉัตรชัย สุภพิทักษ์สกุล)

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี อนุมัติวิทยานิพนธ์ฉบับนี้  
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์  
(ผู้ช่วยศาสตราจารย์ ดร.สมหมาย ผิวสอาด)  
วันที่ 16 เดือน ธันวาคม พ.ศ. 2555

หัวข้อวิทยานิพนธ์	การปรับปรุงค่าหนึ่งเวลาและการตอบสนองทางความถี่ของวงจรถวลีอ็อกโดยการใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย
ชื่อ - นามสกุล	นายธนศ สุขแสง
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	อาจารย์ฉัตรชัย ศุภพิทักษ์สกุล, Ph. D.
ปีการศึกษา	2555

## บทคัดย่อ

ระบบควบคุมที่สัญญาณอินพุตมีการเปลี่ยนแปลงนั้นระบบต้องมีการควบคุมสัญญาณเอาต์พุตให้ค่าคลาดเคลื่อนเชิงสถิติขั้วน้อยที่สุดเพื่อเป็นการลดการหน่วงเวลาของสัญญาณเอาต์พุต โดยการปรับปรุงการหน่วงเวลาและการตอบสนองความถี่ของระบบจะใช้ตัวกระทำของระบบเป็นแบบจำนวนเต็มและเพิ่มลำดับของตัวกระทำ ซึ่งสัญญาณเอาต์พุตยังมีค่าคลาดเคลื่อนเชิงสถิติเกิดขึ้น และการตอบสนองความถี่ทางขนาดเกิดการยกตัวของสัญญาณในช่วงความถี่คัตออฟ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการแก้ปัญหาดังกล่าวด้วยการนำเอาฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยมาปรับปรุงตัวกระทำของระบบให้ทำงานละเอียดขึ้น เพื่อให้การลดทอนขนาดสัญญาณเอาต์พุตของระบบน้อยลงและการตอบสนองความถี่เชิงเฟสเป็นเชิงเส้น โดยใช้วงจรถวลีอ็อกแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) แบบอนาล็อก ที่มีการเพิ่มตัวกระทำปริพันธ์และอนุพันธ์เป็นแบบลำดับเศษส่วนย่อย และวงจรถวลีอ็อกความถี่ต่ำที่มีการเพิ่มวงจรถวลีอ็อกทำงานร่วมกับวงจรถวลีอ็อกอินทิเกรเตอร์ของวงจรถวลีอ็อกในการทดสอบ วงจรถวลีอ็อกทั้งสองออกแบบให้ทำงานในโหมดกระแสโดยใช้อุปกรณ์ประเภทไอทีเอ

ผลการจำลองการทำงานของวงจรถวลีอ็อกแบบโดยใช้โปรแกรม ORCAD PSPICE วงจรถวลีอ็อกแบบสัดส่วน-ปริพันธ์-อนุพันธ์ พบว่ามีการหน่วงเวลาน้อยกว่าวงจรถวลีอ็อกแบบจำนวนเต็ม สัญญาณเอาต์พุตมีสถานะค่าความคลาดเคลื่อนเชิงสถิติขั้วน้อยกว่าและมีการตอบสนองความถี่ที่เร็วกว่า สำหรับผลการจำลองในวงจรถวลีอ็อกความถี่ต่ำ วิธีที่นำเสนอสามารถลดการยกตัวของ การตอบสนองความถี่ทางขนาดในช่วงความถี่คัตออฟได้ การตอบสนองความถี่เชิงเฟสที่ความถี่สูงขึ้นมีการเลื่อนเฟสแบบมีค่าคงที่เชิงเส้น

คำสำคัญ: ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย วงจรถวลีอ็อกแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) วงจรถวลีอ็อกความถี่ต่ำ ไอทีเอ



<b>Thesis Title</b>	Improvement of Delay Time and Frequency Response of Analog Circuits Using Fractional-Order Functions
<b>Name - Surname</b>	Mr. Tanet Suksang
<b>Program</b>	Electrical Engineering
<b>Thesis Advisor</b>	Mr. Chatchai Suppitaksakul, Ph. D.
<b>Academic Year</b>	2012

## ABSTRACT

In the dynamic system, the output of the system needs to minimize the steady-state-error in order to reduce the delay time of the output. Commonly, the improving of delay time and frequency response of the system uses the integer operators in which the steady-state-error is still exist at the output. Also the peaking of magnitude response in the cut-off frequency is introduced at the frequency response of the system.

This thesis presents the Fractional-Order functions as operators to reduce the attenuation of the output and having linear phase response that the system can be optimized. The Proportional Integral Derivative ( $PI^{\lambda}D^{\mu}$ ) controller circuit that employs half of integrator and differentiator operators and the low pass filter circuit that the Fractance circuit associates with the integrator circuit are used to verify the proposed method. Both circuits are designed using operational transconductance amplifier (OTA) to work as the current mode.

As the simulation results that using ORCAD PSPICE to model PID controller circuit with the proposed method, it is found that the minimum of steady-state-error and less delay time with faster frequency response are provided when compare to the tradition method. For the OTA low pass filter circuit the result shown that the proposed method can provide the flat passband and reduced the peaking problem. Also the linear phase response in high frequency switching and its frequency response are given the better performance than the classical method.

**Keywords:** fractional-order, proportional integral derivatives circuit (PID), low pass filter circuit, operational transconductance amplifier (OTA)

## กิตติกรรมประกาศ

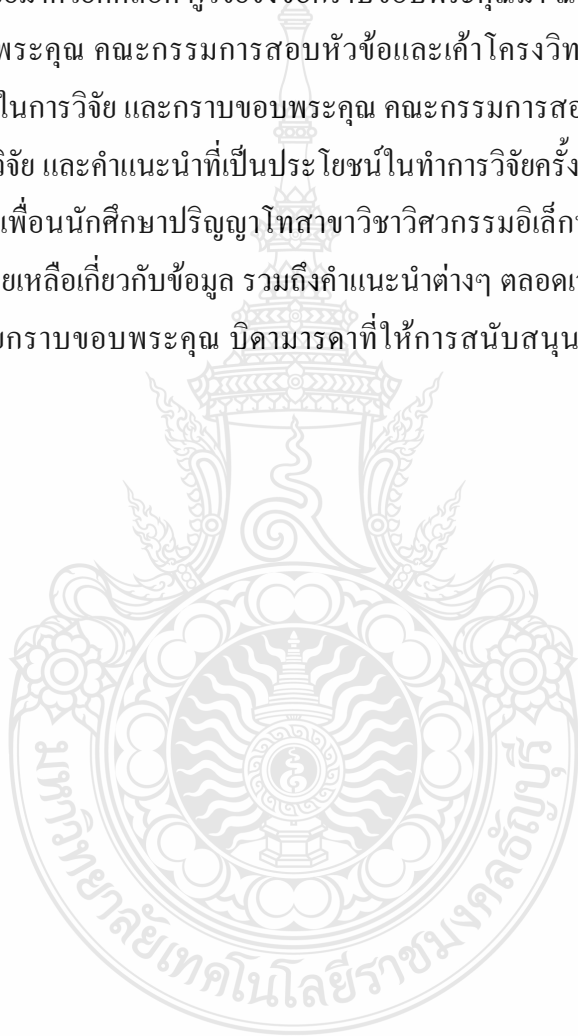
วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างดียิ่งของดร.วิสิทธิ์ ลือธรรมจักร อาจารย์วิโรจน์ พิจาณนชัย หัวหน้าภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม และ ดร.ฉัตรชัย ศุภพิทักษ์สกุล อาจารย์ภาควิชาวิศวกรรมไฟฟ้า ซึ่งได้ให้คำแนะนำข้อคิดเห็นและสนับสนุนในการทำวิจัยมาด้วยดีตลอด ผู้วิจัยจึงขอกราบขอบพระคุณมา ณ ที่นี้

กราบขอบพระคุณ คณะกรรมการสอบหัวข้อและเค้าโครงวิทยานิพนธ์ ที่ให้คำแนะนำแก่มุมที่เป็นประโยชน์ในการวิจัย และกราบขอบพระคุณ คณะกรรมการสอบวิทยานิพนธ์ ที่ให้โอกาสในการรายงานผลการวิจัย และคำแนะนำที่เป็นประโยชน์ในการทำการวิจัยครั้งต่อไป

ขอขอบคุณเพื่อนนักศึกษาปริญญาโทสาขาวิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม ทุกคนที่ได้ให้ความช่วยเหลือเกี่ยวกับข้อมูล รวมถึงคำแนะนำต่างๆ ตลอดเวลาในการทำวิจัยอย่างดียิ่ง

ท้ายนี้ผู้วิจัยกราบขอบพระคุณ บิดามารดาที่ให้การสนับสนุนแก่ผู้วิจัยเสมอมาจนสำเร็จการศึกษา

ธนศ สุขแสง



## สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	ก
บทคัดย่อภาษาอังกฤษ.....	ง
กิตติกรรมประกาศ.....	จ
สารบัญ.....	ฉ
สารบัญตาราง.....	ช
สารบัญภาพ.....	ฌ
คำอธิบายสัญลักษณ์และคำย่อ.....	ฐ
บทที่	
1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการศึกษา.....	2
1.3 ขอบเขตของการศึกษา.....	2
1.4 ขั้นตอนการศึกษา.....	3
1.5 ประโยชน์ที่คาดว่าจะได้รับจากงานวิจัย.....	3
2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	4
2.1 ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Fractional-Order).....	4
2.2 ระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์.....	10
2.3 วงจรกรองความถี่ต่ำ.....	14
2.4 อุปกรณ์ประเภท โอทีเอ.....	15
2.5 งานวิจัยที่เกี่ยวข้อง.....	17
3 วิธีการดำเนินงานวิจัย.....	29
3.1 การออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) .....	29
3.2 การออกแบบวงจรกรองความถี่ต่ำผ่านโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	37
3.3 อุปกรณ์ประเภท โอทีเอที่ใช้ในการออกแบบวงจร.....	42
3.4 อุปกรณ์ที่ใช้ในการจำลองการทำงานของวงจรที่ทำการออกแบบ.....	44
3.5 บทสรุป.....	44

## สารบัญ (ต่อ)

บทที่	หน้า
4 ผลการวิจัย.....	45
4.1 ผลการจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบดั้งเดิม...	45
4.2 ผลการจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	49
4.3 การจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) โดยการ เปลี่ยนลำดับเศษส่วนย่อยเพื่อปรับปรุงสัญญาณเอาต์พุต.....	54
4.4 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่านที่ความถี่คัตออฟ 1 เม็กกะ เฮิรตซ์แบบดั้งเดิม.....	56
4.5 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่านที่ความถี่คัตออฟ 1 เม็กกะ เฮิรตซ์โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยปรับปรุงการตอบสนองความถี่	58
4.6 สรุปผลการจำลองการทำงานของวงจรที่ทำการออกแบบ.....	61
5 สรุปผลการวิจัยและข้อเสนอแนะ.....	62
5.1 สรุปผลการวิจัยการ.....	62
5.2 ข้อเสนอแนะและแนวทางในการพัฒนา.....	63
รายการอ้างอิง.....	64
ภาคผนวก.....	66
ก คู่มือไอซีเบอร์ LT1228.....	67
ข ผลงานตีพิมพ์เผยแพร่.....	76
ประวัติผู้เขียน.....	101

## สารบัญตาราง

ตารางที่	หน้า
2.1 สรุปผลการเปรียบเทียบการตอบสนองของระบบควบคุมแบบป้อนกลับของ FOPID Using Proposed Method, FOPID Using GA Method และ PID Using Proposed Method	17
2.2 พารามิเตอร์ที่สำคัญสำหรับการออกแบบวงจรกรองความถี่ต่ำผ่านที่ใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	24
2.3 การเปรียบเทียบทฤษฎีและผลการทดลอง.....	26



## สารบัญภาพ

ภาพที่	หน้า
2.1 เส้นสีแดงแทนอินพุตของระบบหรือฟังก์ชัน $f(x)$ เส้นสีน้ำเงินแทนด้วยตัวกระทำลำดับ $s^1$ และเส้นสีม่วงแทนด้วยตัวกระทำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย $s^{1/2}$ .....	5
2.2 การตอบสนองของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย $\alpha = 1, 1.2, 1.5$ และ $1.8$ .....	6
2.3 แผนภูมิ Riemann และระนาบ $w$ -plan.....	7
2.4 ตำแหน่งของโพลในฟังก์ชันถ่ายโอน ลำดับเศษส่วนย่อยที่ทำให้ระบบเกิดเสถียรภาพ.....	8
2.5 การตอบสนองความถี่ของระบบ.....	9
2.6 ระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์.....	10
2.7 ตำแหน่งของตัวกระทำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบควบคุม.....	11
2.8 การตอบสนองความถี่ทางขนาดของการประมาณค่าฟังก์ชันถ่ายโอน โดยที่เส้นทึบแทนการควบคุม PID แบบดั้งเดิม $\left[ G(s) = 2.4 + \frac{0.18}{s} + 6s \right]$ และเส้นประแทนการควบคุมแบบ $PI^\lambda D^\mu$ $\left[ G(s) = 2.4 + \left[ \frac{0.18}{s} \right] \left( \frac{1}{s^{0.7}} \right) + [6s] (s^{0.7}) \right]$ .....	12
2.9 การตอบสนองความถี่ของระบบ ด้วยค่า $k = 1, \omega_f = 1, \delta_f = 1$ และ $\lambda = \mu = 0.5$ .....	13
2.10 การตอบสนองความถี่ของระบบ ด้วยค่า $K_p = 1, K_I = 0.5$ และค่า $K_D = 1$ .....	13
2.11 การตอบสนองความถี่ของวงจรถองความถี่ต่ำผ่าน.....	14
2.12 อุปกรณ์ประเภทโอทีเอ.....	16
2.13 วงจรควบคุมแบบสัดส่วน.....	18
2.14 วงจรปริพันธ์.....	18
2.15 วงจรอนุพันธ์.....	18
2.16 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ที่ใช้อุปกรณ์ประเภทโอทีเอ.....	19
2.17 การปรับค่าพารามิเตอร์ $C_1$ และ $C_2$ ที่ทำให้เอาต์พุตของวงจรถองความถี่ต่ำผ่านเกิดการเปลี่ยนแปลง.....	20
2.18 ตำแหน่งโพลของลำดับเศษส่วนย่อย ที่ $s^{-\frac{1}{2}}$ .....	21
2.19 การใช้โปรแกรม MATLAB ในการวิเคราะห์.....	22
2.20 การตอบสนองชั่วคราวของระบบ.....	22
2.21 วงจรเฟคแดนซ์.....	22
2.22 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ).....	23

## สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
2.23 เส้นประแทนการตอบสนองความถี่ทั้งขนาดและเชิงเฟสของฟังก์ชันถ่ายโอน แบบ ลำดับเศษส่วนย่อยที่ $s^{0.5}$ และเส้นทึบแทนลำดับที่ $s^1$ .....	25
2.24 วงจรที่ทำการออกแบบ.....	25
2.25 การตอบสนองความถี่ทางขนาดของวงจรที่นำเสนอ.....	26
2.26 วงจรสวิตช์ตัวเก็บประจุไฟฟ้า.....	27
2.27 ผลการตอบสนองความถี่ทางขนาด.....	27
2.28 ผลการตอบสนองความถี่เชิงเฟส.....	28
3.1 เปรียบเทียบการตอบสนองความถี่ของ PID แบบทั่วไปและ $PI^\lambda D^\mu$ แบบลำดับ เศษส่วนย่อย.....	30
3.2 เปรียบเทียบระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบ (PID) ทั่วไปและระบบ ที่ใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ( $PI^\lambda D^\mu$ ) บนระนาบการควบคุมของ ระบบ.....	30
3.3 วงจรอินทิเกรเตอร์.....	31
3.4 วงจรดิฟเฟอเรนเชียลอินทิเกรเตอร์.....	32
3.5 วงจรเสมือนตัวเหนี่ยวนำที่ออกแบบโดยใช้อุปกรณ์ประเภทโอทีเอเพื่อนำไปใช้ใน วงจรดิฟเฟอเรนเชียลอินทิเกรเตอร์ในภาพที่ 3.4.....	32
3.6 วงจรรวมสัญญาณ.....	33
3.7 ทิศทางการไหลของสัญญาณในวงจร.....	34
3.8 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) ที่ออกแบบโดยใช้ฟังก์ชันถ่าย โอน แบบลำดับเศษส่วนย่อย.....	35
3.9 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์.....	36
3.10 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียลอินทิเกรเตอร์.....	37
3.11 การเปรียบเทียบ LPF ที่โอเดอร์ ( $n + \alpha$ ) .....	38
3.12 วงจรแฟคแตนซ์สำหรับ $s^{0.5}$ .....	39
3.13 วงจรกรองความถี่ต่ำที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	41
3.14 การใช้งานไอซี LT1228 ในวงจร Differential Input Variable Gain Amp.....	43

## สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
3.15 การตอบสนองความถี่ของไอซี LT1228.....	43
3.16 ขาการต่อใช้งานของไอซี LT1228.....	43
4.1 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม.....	47
4.2 การจำลองการทำงานของวงจรแบบดั้งเดิมโดยใช้โปรแกรม ORCAD PSPICE.....	48
4.3 สัญญาณอินพุตและเอาต์พุตของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบ ดั้งเดิม.....	49
4.4 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ( $PI^{\lambda}D^{\mu}$ ).....	51
4.5 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์.....	52
4.6 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียล.....	52
4.7 สัญญาณอินพุตและเอาต์พุตของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่ปรับปรุงการหน่วงเวลาโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	53
4.8 สัญญาณอินพุตและเอาต์พุตของการเปลี่ยนลำดับเศษส่วนย่อย.....	55
4.9 วงจรกรองความถี่ต่ำแบบดั้งเดิม.....	56
4.10 การตอบสนองความถี่ทางขนาดของวงจรแบบดั้งเดิม.....	57
4.11 การตอบสนองความถี่เชิงเฟสของวงจรแบบดั้งเดิม.....	57
4.12 โครงสร้างวงจรที่ทำการออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	58
4.13 การจำลองการทำงานของวงจรที่ทำการออกแบบโดยใช้โปรแกรม ORCAD PSPICE.....	59
4.14 การตอบสนองความถี่ทางขนาดของวงจรกรองความถี่ต่ำโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย.....	60
4.15 การตอบสนองความถี่เชิงเฟสของวงจรกรองความถี่ต่ำโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย .....	60



## คำอธิบายสัญลักษณ์และคำย่อ

$\mu\text{F}$	Micro Farad
$f_c$	Frequency Cut Off
$g_m$	OTA Transconductance Gain
$I_B$	External Current Control
$PI^\lambda D^\mu$	Proportional Integral Derivative Implemented By Fractional-Order
CFA	Current Feedback Amplifier
dB/decade	Daubechies Per Decade
DC	Direct Current
FLPF	Factional Order Low Pass Filter
GB	Gigabyte
GHz	Gigahertz
Hz	Hertz
IC	Integrated Circuit
Im	Imaginary
$I_{\text{out}}$	Output Current
$K\Omega$	Kilo Ohm
$M\Omega$	Mega Ohm
OPAMP	Operational Amplifier
OTA	Operational Transconductance Amplifier
PID	Proportional Integral Derivative
rad/sec	Radiant Per Second
Re	Real
$V_{\text{in}}$	Input Voltage
$V_{\text{out}}$	Output Voltage
$V_T$	Thermal Voltage

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) ในทางด้านอิเล็กทรอนิกส์มีความสำคัญอย่างยิ่งในการควบคุมแบบป้อนกลับ ซึ่งค่าที่นำไปใช้ในการคำนวณเป็นค่าความคลาดเคลื่อนที่เกิดจากความแตกต่างของตัวกระทำในวงจร [1] และค่าที่ต้องการควบคุมจะพยายามลดค่าความคลาดเคลื่อนให้เหลือน้อยที่สุดด้วยการปรับค่าสัญญาณอินพุตของวงจร [2] การปรับปรุงการลดการหน่วงเวลาเอาต์พุตของวงจรรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) แบบอนาล็อก [3] มีหลายเทคนิควิธีที่นำมาประยุกต์ใช้งาน ซึ่งแต่ละวิธีต้องอาศัยทฤษฎีทางคณิตศาสตร์มาใช้ในการวิเคราะห์เพื่อทำการปรับปรุงหรือออกแบบวงจรเพื่อปรับปรุงการหน่วงเวลาของวงจรนั้นๆ ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Fractional - Order) เป็นคณิตศาสตร์อย่างหนึ่งที่มีการนำมาใช้ในการลดการหน่วงเวลาของวงจรรอนาล็อกและเพิ่มความเร็วในการตอบสนองความถี่ นักวิจัยได้นำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย มาทำการออกแบบวงจรเพื่อทำการลดการหน่วงเวลาของวงจรรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) [1-4] แต่จากการศึกษาพบว่าวงจรที่นำเสนอขึ้นเป็นวงจรที่ทำงานในโหมดแรงดัน [2, 4] และไม่สามารถควบคุมค่าความคลาดเคลื่อนของตัวกระทำจากภายนอก จึงเป็นเหตุผลทำให้ผู้วิจัยได้พัฒนาและออกแบบวงจรโดยใช้อุปกรณ์ประเภทโอทีเอ เพื่อทำการทดสอบการทำงานของวงจรในโหมดกระแส ซึ่งสามารถควบคุมค่าความคลาดเคลื่อนของตัวกระทำจากภายนอก และอีกอย่างหนึ่งเพื่อทำการทดสอบการทำงานของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่สร้างจากวงจรฟลักเตนซ์ให้ทำงานร่วมกับอุปกรณ์ที่มีอินพุตและเอาต์พุตอิมพีแดนซ์สูง และวงจรที่ทำการออกแบบมีการใช้อุปกรณ์ประเภทแอกทิฟเท่ากับวงจรแบบดั้งเดิม

การใช้งานวงจรรอิเล็กทรอนิกส์บางครั้งอาจต้องการความถี่บางช่วง โดยสัญญาณที่นอกเหนือจากนี้จะถูกกำจัดออกไป และสัญญาณที่ผ่านวงจรรองความถี่นั้นจะต้องไม่มีการลดทอนขนาดของสัญญาณเอาต์พุต และการตอบสนองความถี่ของวงจรรองความถี่นั้นต้องราบเรียบวงจรรองความถี่ต่ำส่วนมากที่ใช้ใช้อุปกรณ์ประเภทโอทีเอเป็นวงจรรที่ใช้งานในช่วงความถี่สูง และมีปัญหาเกี่ยวกับอิมพีแดนซ์ทางด้านเอาต์พุตที่สูงคือพบว่าช่วงความถี่ที่ตัดออฟเกิดการยกระดับของการตอบสนองความถี่ทางขนาด [5] ซึ่งเป็นสาเหตุที่ทำให้เกิดการลดทอนสัญญาณทางเอาต์พุตและการหน่วงเวลา ซึ่งต้องมีการใช้ใช้อุปกรณ์ประเภทแอกทิฟ เช่น ออปแอมป์เข้ามาช่วยในการลดปัญหาอิมพีแดนซ์ทางด้านเอาต์พุต [6-7] ซึ่งเป็นการสิ้นเปลืองและยุ่งยากสำหรับการปรับแต่งสัญญาณ

ทำให้ผู้วิจัยเกิดแนวคิดที่จะนำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปทำการปรับปรุงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำ โดยเพิ่มส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยให้ทำงานร่วมกับส่วนที่เป็นวงจรอินทิเกรเตอร์เดิมที่อยู่ในวงจร และส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่เพิ่มเติมเข้าไปสามารถช่วยในการลดค่าอิมพีแดนซ์ทางด้านเอาต์พุต ซึ่งวงจรแฟคแตนซ์ (Fractance) ที่ออกแบบนั้นสามารถปรับแต่งการตอบสนองความถี่ทางขนาดได้ เพื่อให้การตอบสนองความถี่ทั้งขนาดและเชิงเฟสของวงจรกรองความถี่ต่ำที่ออกแบบมีอัตราการขยายอย่างสม่ำเสมอ และช่วงสัญญาณผ่าน (Pass Band) มีความราบเรียบกว่าวงจรแบบดั้งเดิม

## 1.2 วัตถุประสงค์ของการศึกษา

1.2.1 เพื่อศึกษาฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) และวงจรอนาล็อก

1.2.2 เพื่อปรับปรุงการหน่วงเวลาของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

1.2.3 เพื่อพัฒนาการตอบสนองความถี่ของวงจรกรองความถี่ต่ำให้ราบเรียบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

## 1.3 ขอบเขตของการศึกษา

1.3.1 ออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

1.3.2 การหาค่าที่เหมาะสมของตัวกระทำของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ทำให้การหน่วงเวลาน้อยที่สุด

1.3.3 จำลองและวิเคราะห์การทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่มีการพัฒนาปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย และวงจรแบบดั้งเดิม

1.3.4 เปรียบเทียบผลการการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่มีการพัฒนาปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย และวงจรแบบดั้งเดิม

1.3.5 ปรับปรุงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำให้ราบเรียบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

1.3.6 จำลองและวิเคราะห์การทำงานของวงจรกรองความถี่ต่ำที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

1.3.7 เปรียบเทียบการจำลองการทำงานของวงจรรองความถี่ต่ำระหว่างการปรับปรุงโดยใช้ ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย และวงจรแบบดั้งเดิม

#### 1.4 ขั้นตอนการศึกษา

1.4.1 ขั้นตอนการศึกษาประกอบด้วยอุปกรณ์หลักที่ใช้ในการทดลองดังต่อไปนี้

- 1) โปรแกรม ORCAD PSPICE ใช้ในการจำลองการทำงานของวงจรควบคุมแบบ สัดส่วน-ปริพันธ์-อนุพันธ์ (PID) และวงจรรองความถี่ต่ำ ที่ทำการออกแบบ
- 2) โปรแกรม MATLAB ใช้ในการวิเคราะห์ผลตอบสนองความถี่

1.4.2 ขั้นตอนการศึกษาสามารถแบ่งออกได้ เป็น 4 ขั้นตอน

- 1) ขั้นตอนการทดสอบวงจรแพ็คเกจที่ใช้ในการออกแบบส่วนของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย
- 2) ขั้นตอนการวิเคราะห์การตอบสนองความถี่ทั้งขนาดและเชิงเฟส ฟังก์ชันถ่ายโอนของ วงจรที่ทำการออกแบบ
- 3) ขั้นตอนการออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ขั้นตอน การออกแบบวงจรรองความถี่ต่ำที่ความถี่คutoffเท่ากับ 1 เมกกะเฮิรตซ์
- 4) ขั้นตอนการจำลองการทำงานของวงจรและวิเคราะห์ผลที่ได้จากการทดสอบการทำงานของ วงจรที่ทำการออกแบบ

#### 1.5 ประโยชน์ที่คาดว่าจะได้รับจากงานวิจัย

1.5.1 พัฒนางานวิจัยที่เกี่ยวข้องกับการลดการหน่วงเวลาและการเพิ่มความเร็วการตอบสนองของ วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วน ย่อย

1.5.2 เป็นแนวทางในการพัฒนาในการออกแบบวงจรรอนาล็อกและวงจรรองความถี่ต่ำโดยใช้ ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

1.5.3 เป็นแนวทางในการพัฒนางานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรรองความถี่แบบต่าง ๆ เช่น วงจรรองความถี่ผ่านบางช่วง วงจรรองความถี่ผ่านทั้งหมด วงจรรองความถี่สูง โดยใช้ ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

## บทที่ 2

### ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

ในการดำเนินการศึกษาวิจัย ผู้วิจัยได้แบ่งหลักการและทฤษฎีที่เกี่ยวข้องกับวิทยานิพนธ์ ออกเป็นหัวข้อต่างๆ ซึ่งประกอบด้วยทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Fractional-Order) ทฤษฎีการควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) ทฤษฎีวงจรรองความถี่ต่ำ อุปกรณ์ประเกทโอทีเอ (Operational Transconductance Amplifier) และงานวิจัยต่างๆ ที่เกี่ยวข้องกับวิทยานิพนธ์นี้

#### 2.1 ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Fractional-Order)

ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย [8] เป็นคณิตศาสตร์อย่างหนึ่งที่ใช้ในการวิเคราะห์เลขยกกำลังของจำนวนจริงและจำนวนเชิงซ้อนของตัวกระทำของสมการดิฟเฟอเรนเชียล

$$H^2 f(x) = Df(x) = \frac{d}{dx} f(x) = f'(x) \quad (2.1)$$

$$f(x) = x^k \quad (2.2)$$

$$f'(x) = \frac{d}{dx} f(x) = kx^{k-1} \quad (2.3)$$

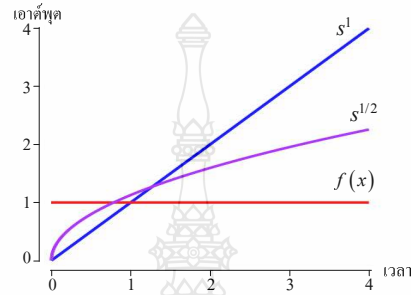
แทนค่าสมการที่ 2.2 และ 2.3 ลงในสมการที่ 2.1 จะได้ฟังก์ชันตามสมการที่ 2.4

$$\frac{d^a}{dx^a} x^k = \sum_{a=0}^k \binom{k}{a} kx^{k-a} = \frac{k!}{(k-a)!} x^{k-a} \quad (2.4)$$

เมื่อพิจารณาสมการที่ 2.4 พบว่าฟังก์ชันที่ทำการวิเคราะห์มีการเติมเต็มค่าต่างๆ ของแฟกทอเรียลฟังก์ชัน คือค่าของตัวแปร  $k$  และ  $a$  ที่จะทำให้ฟังก์ชัน  $f(x)$  มีค่ามากที่สุด ซึ่งสามารถแทนที่แฟกทอเรียลด้วยแกมมาฟังก์ชันจะได้สมการของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในสมการที่ 2.5

$$\frac{d^a}{dx} x^k = \frac{\Gamma(k+1)}{\Gamma(k-a+1)} x^{k-a} \quad (2.5)$$

เมื่อแทนค่า  $k$  เท่ากับ 1 และ  $a$  เท่ากับ  $1/2$  ในสมการที่ 2.5 แล้วนั้นจะเป็นการหาอนุพันธ์ของฟังก์ชัน  $f(x)$  แบบครึ่งหนึ่งและตัวกระทำของสมการดิฟเฟอเรนเชียลจะแทนด้วย  $s^{1/2}$



**ภาพที่ 2.1** เส้นสีแดงแทนอินพุตของระบบหรือฟังก์ชัน  $f(x)$  เส้นสีน้ำเงินแทนด้วยตัวกระทำลำดับ  $s^1$  และเส้นสีม่วงแทนด้วยตัวกระทำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย  $s^{1/2}$

จากกราฟในภาพที่ 2.1 ถ้าในระบบหรือสมการที่เป็นเชิงเส้นนั้นเมื่อทำการเปรียบเทียบตัวกระทำที่ลำดับ  $s^1$  และ  $s^{1/2}$  ที่เวลาเท่ากันนั้นตัวกระทำ  $s^{1/2}$  จะให้ผลการตอบสนองที่เร็วกว่า คือมีการเข้าใกล้เส้นที่เป็นอินพุตของระบบ  $f(x)$  และมีการหน่วงเวลาที่น้อยกว่า

ในวิทยานิพนธ์นี้ได้อ้างอิงทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยตามวิธีของ Riemann – Liouville [4] คือวิธีการวิเคราะห์ตัวกระทำของระบบที่กระทำแบบครึ่งหนึ่งหรือน้อยกว่าหนึ่งในระบบที่เป็นแบบเชิงเส้น ซึ่งสามารถอธิบายได้ตามสมการดังต่อไปนี้

2.1.1 ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยแบบอินทิกรัล (Fractional - Order Integral)

$$D_c^{-\alpha} f(t) = \frac{1}{\Gamma(\alpha)} \int_c^t \frac{f(\tau)}{(t-\tau)^{1-\alpha}} d\tau, 0 < \alpha < 1 \quad (2.6)$$

2.1.2 ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยแบบอนุพันธ์ (Fractional – Order Derivative)

$$D_c^\alpha f(t) = \frac{d^m}{dt^m} \left[ \frac{1}{\Gamma(m-\alpha)} \int_c^t \frac{f(\tau)}{(t-\tau)^{\alpha+1-m}} d\tau \right], m-1 < \alpha \leq m \quad (2.7)$$

### 2.1.3 การแปลงลาปลาซของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Laplace Transform of Fractional-Order)

$$\mathcal{L}[D^\alpha f(t)] = s^{-\alpha} F(s) \quad (2.8)$$

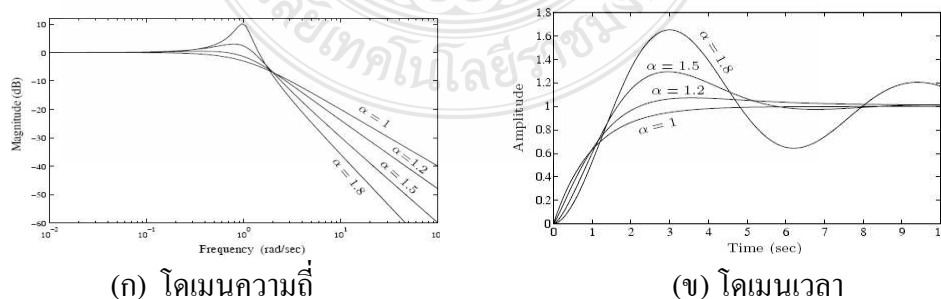
$$\text{หรือ} \quad \mathcal{L}[D^\alpha f(t)] = s^{-\alpha} F(s) - \sum_{k=0}^{m-1} s^{-\alpha-k-1} f(0), \quad m-1 < \alpha \leq m \quad (2.9)$$

### 2.1.4 การวิเคราะห์ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในโดเมนความถี่และโดเมนเวลา

ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยเป็นส่วนขยายโดยตรงของตัวกระทำที่เป็นจำนวนเต็ม (Integer) ในระบบ [9] และลำดับเศษส่วนย่อยถูกสร้างขึ้นตามเศษส่วนของสมการเชิงอนุพันธ์ และฟังก์ชันถ่ายโอนบางส่วนในสมการ สามารถอธิบายได้ในสมการที่ 2.10

$$G(s) = \frac{\sum_{k=0}^m b_k (s^\alpha)^k}{\sum_{k=0}^n a_k (s^\alpha)^k} \quad (2.10)$$

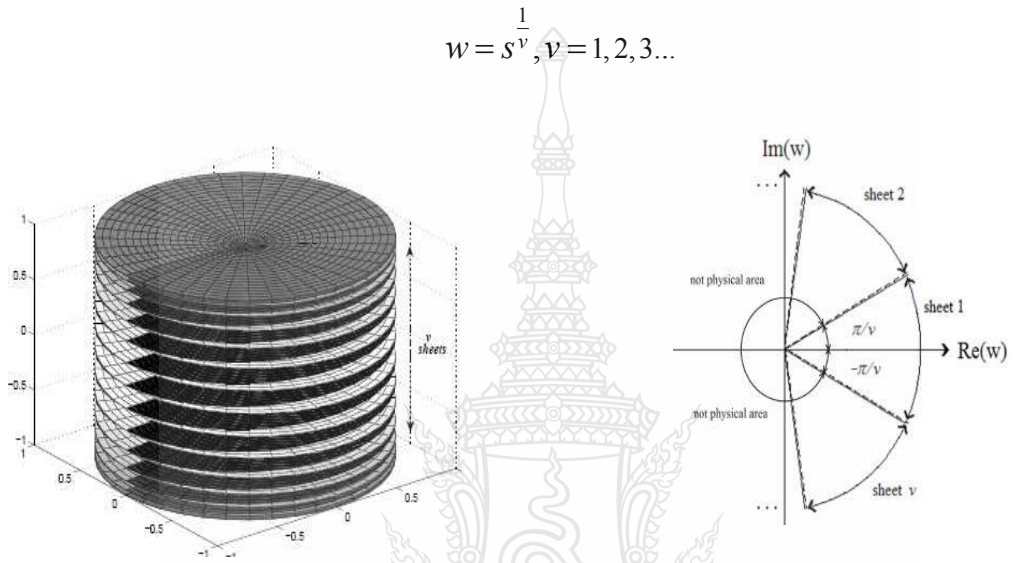
เมื่อ  $b_k$  และ  $a_k$  เป็นเลขจำนวนจริง และ  $\alpha_k$  เป็นเลขยกกำลังของลำดับเศษส่วนย่อยในสมการและจะต้องเป็นเลขจำนวนจริงเท่านั้นถึงจะสามารถทำการวิเคราะห์ด้วยวิธีการฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อย ตัวอย่างการตอบสนองของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ลำดับ  $\alpha = 1, 1.2, 1.5$  และ  $1.8$  แสดงในภาพที่ 2.2



ภาพที่ 2.2 การตอบสนองของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย  $\alpha = 1, 1.2, 1.5$  และ  $1.8$

1) เสถียรภาพของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Stability of Fractional-Order) การวิเคราะห์เสถียรภาพของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยสามารถทำการวิเคราะห์ได้จาก Multivalued ฟังก์ชัน คือการหาความสัมพันธ์ระหว่างระนาบ  $w$ -plan และแผ่นภูมิของ Riemann ที่มุมเริ่มจาก  $-\frac{\pi}{\nu} < \arg(w) \leq \frac{\pi}{\nu}$  แสดงความสัมพันธ์ในสมการที่ 2.11 และภาพที่ 2.3

$$w = s^\nu, \nu = 1, 2, 3 \dots \tag{2.11}$$



(ก) แผ่นภูมิ Riemann

(ข) ระนาบ  $w$ -plan

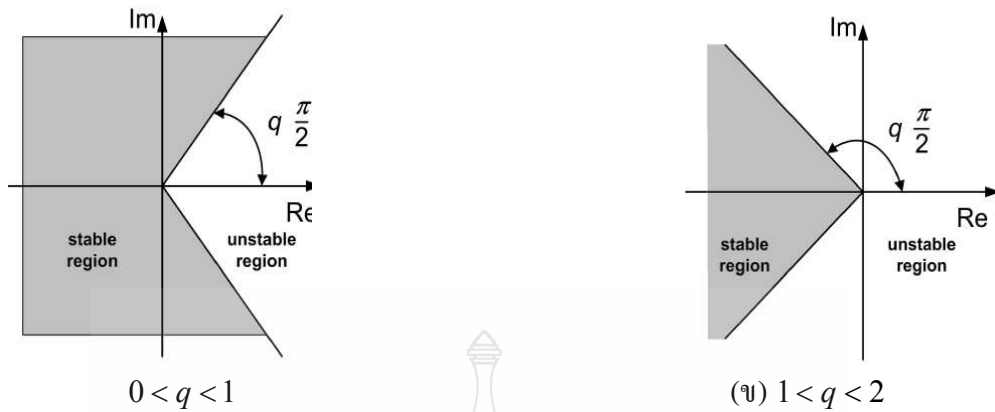
ภาพที่ 2.3 แผ่นภูมิ Riemann และระนาบ  $w$ -plan

ความสัมพันธ์ระหว่างแผ่นภูมิ Riemann และตำแหน่งโพลและซีโรบนระนาบ  $w$ -plan สามารถทำการวิเคราะห์ตามสมการที่ 2.12

$$s^q, q = \frac{k}{m} \tag{2.12}$$

กรณีที่  $k < m$  และ  $q < 1$  ตำแหน่งโพลต้องอยู่ในบริเวณขอบเขตตามภาพที่ 2.4 (ก) ระบบถึงจะเกิดเสถียรภาพ และถ้า  $k > m$  และ  $q > 1$  ตำแหน่งโพลต้องอยู่ในบริเวณขอบเขตตามภาพที่ 2.4 (ข) ระบบถึงจะเกิดเสถียรภาพ





ภาพที่ 2.4 ตำแหน่งของโพลในฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ทำให้ระบบเกิดเสถียรภาพ

2) การตอบสนองความถี่ของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย (Fractional-Order Transient Response)

โดยทั่วไปการตอบสนองความถี่ของระบบฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้น [9] สามารถวิเคราะห์ได้จากฟังก์ชันถ่ายโอนของระบบ ตามแนวแกนจินตภาพสำหรับ  $s = j\omega$  และ  $\omega$  เริ่มต้นจากความถี่ที่มีค่าเป็นศูนย์ และเพิ่มขึ้นไปจนถึงความถี่คutoff ของระบบ

การตอบสนองความถี่ของระบบฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยให้ได้ผลการตอบสนองตามความถี่ที่ต้องการของระบบนั้นสามารถทำได้โดยเพิ่มลำดับเศษส่วนย่อย ลงในเทอมของ  $\alpha$  ตามฟังก์ชันถ่ายโอนในสมการที่ 2.13

$$G(s) = \frac{1}{\prod_{i=0}^n \left(1 + \frac{s}{p_i}\right)^{\alpha_i}} \quad (2.13)$$

เมื่อ  $\alpha_i$  คือ ลำดับเศษส่วนย่อย โดยที่  $0 \leq \alpha_i \leq 1$

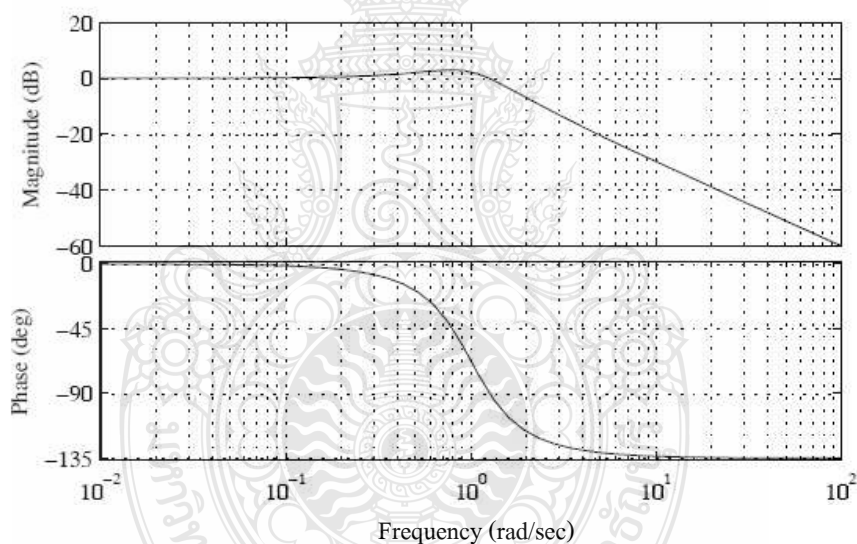
$p_i$  คือ โพลของระบบที่จุดความถี่คutoff

$s$  คือ ตัวกระทำของระบบที่เป็นแบบจำนวนเต็ม (Integer)

โดยเทอมที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยของสมการนั้นอ้างอิงตามส่วนของสมการ  $\left(1 + \frac{s}{p_i}\right)^{\alpha_i}$  และเส้นโค้งขนาดของฟังก์ชันถ่ายโอน จะเริ่มต้นจากค่าที่เป็นศูนย์ และการลาดเอียงของเส้นโค้งขนาดจะเป็นไปในแนวเพิ่มขึ้นหรือลดลงด้วยค่า  $\pm\alpha 20$  dB/decade ตามความถี่ที่สูงขึ้น และการตอบสนองเชิงเฟสของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยจะเริ่มจากศูนย์ไปถึง  $\pm\alpha\pi/2$  แต่ละด้านในแนวระนาบเชิงซ้อนโดยการตอบสนองนั้นค่า  $\alpha$  ต้องน้อยกว่าหนึ่งเสมอ

เพื่อทำการอธิบายการตอบสนองความถี่ ได้ยกตัวอย่างของฟังก์ชันถ่ายโอนของระบบตามตัวอย่างข้างล่างและภาพที่ 2.5

$$G(s) = \frac{1}{s^{3/2} + 1}$$



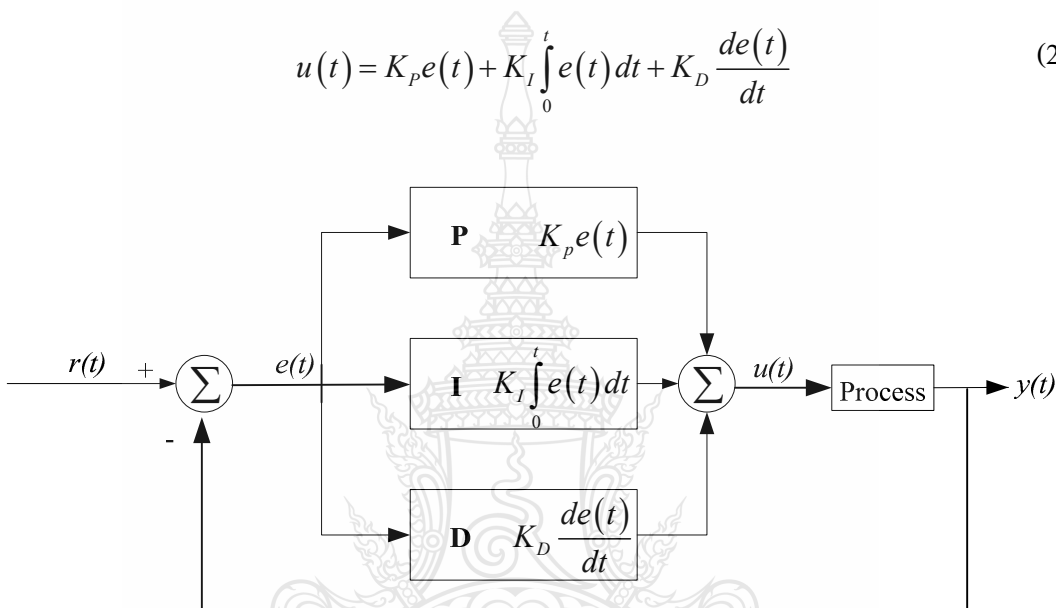
ภาพที่ 2.5 การตอบสนองความถี่ของระบบ

จากภาพที่ 2.5 แสดงการตอบสนองความถี่ของฟังก์ชันถ่ายโอนของระบบตามตัวอย่าง พบว่าความชันของเส้นขนาดของระบบนั้นเริ่มจากศูนย์ และลดลงไปเรื่อยๆ ด้วยค่า  $-20$  dB/decade และการตอบสนองความถี่เชิงเฟสเริ่มต้นที่มุมเป็น  $0$  ไปจนถึง  $-135$  องศา ตามความถี่ที่เริ่มต้นที่  $10^{-2}$  จนถึงที่สุดที่  $10^2$  rad/sec

## 2.2 ระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (Proportional-Integral-Derivative Controller)

เป็นตัวควบคุมที่ได้รับความนิยมเป็นอย่างสูงและใช้งานอย่างแพร่หลาย โดยในปัจจุบันยังมีการใช้งานในวงการอุตสาหกรรมจนถึงยานอวกาศทั้งนี้เพราะเป็นตัวควบคุมที่มีใช้งานกันมานาน และจนได้รับความไว้วางใจในแง่ของประสิทธิภาพ ตัวควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ [10] แบบจำลองทางคณิตศาสตร์แสดงในสมการที่ 2.14 และภาพที่ 2.6

$$u(t) = K_p e(t) + K_I \int_0^t e(t) dt + K_D \frac{de(t)}{dt} \quad (2.14)$$



ภาพที่ 2.6 ระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์

เมื่อ  $u(t)$  คือ สัญญาณควบคุมที่เป็นอินพุตให้กับตัวระบบ  
 $y(t)$  คือ สัญญาณเอาต์พุตที่ถูกวัดมาได้  
 $r(t)$  คือ สัญญาณอ้างอิง  
 $e(t) = r(t) - y(t)$  คือ สัญญาณควบคุมค่าความคลาดเคลื่อน

สมรรถนะและเสถียรภาพของระบบจะถูกกำหนดโดยการปรับแต่งค่าพารามิเตอร์สามตัว คือ P I และ D การปรับตั้งค่าของระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID Controller) มีการปรับแต่งได้ 3 แนวทางเพื่อทำให้ระบบมีเสถียรภาพ

1) การปรับค่าสัดส่วน (Proportional หรือค่า  $K_p$ ) จะช่วยลดผลกระทบจากสิ่งรบกวนที่มีต่อระบบได้ แต่ยังคงมีค่าความคลาดเคลื่อนเชิงสถิตย์เกิดขึ้นแม้ว่าอินพุตจะไม่มีเปลี่ยนแปลง

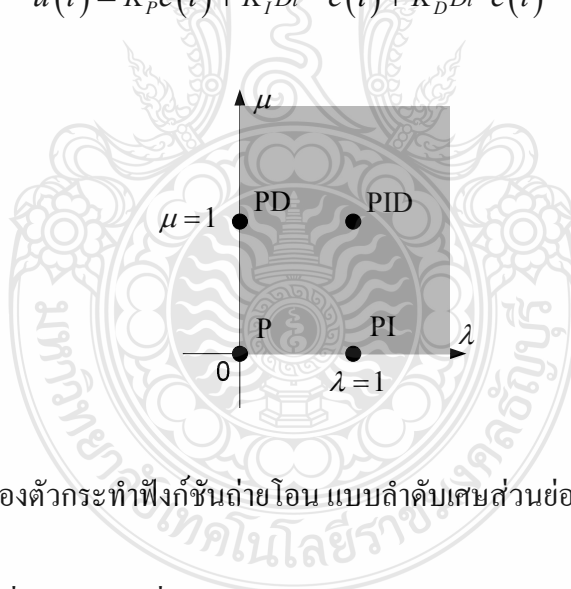
2) การปรับค่าปริพันธ์ (Integral หรือค่า  $K_I$ ) จะสามารถกำจัดค่าความคลาดเคลื่อนเชิงสถิตย์ออกไปได้ แต่จะให้ผลในทางลบกับการตอบสนองของระบบที่มีอินพุตเปลี่ยนแปลงซึ่งทำให้ความเร็วในการตอบสนองของระบบช้าลง

3) เมื่อนำค่าอนุพันธ์ (Derivative หรือค่า  $K_D$ ) เข้ามาเสริมอีกในระบบ จะช่วยปรับปรุงการตอบสนองของระบบที่มีอินพุตเปลี่ยนแปลงให้ดีขึ้น

2.2.1 การประยุกต์นำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปใช้ในระบบควบคุมแบบสัดส่วน-ปริพันธ์ - อนุพันธ์ (Fractional-Order  $PI^\lambda D^\mu$ )

ในการออกแบบฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบควบคุมแบบสัดส่วน-ปริพันธ์ - อนุพันธ์ (Fractional-Order  $PI^\lambda D^\mu$ ) [9] ตัวกระทำปริพันธ์ (Integral) จะออกแบบให้กระทำในระบบบนแนวแกน  $\mu$  ของระนาบการควบคุม ส่วนตัวกระทำอนุพันธ์ (Derivative) ออกแบบให้กระทำในระบบบนแนวแกน  $\lambda$  ของระนาบการควบคุม และอธิบายได้ตามสมการที่ 2.15 และภาพที่ 2.7

$$u(t) = K_p e(t) + K_I D^{-\lambda} e(t) + K_D D^\mu e(t) \quad (2.15)$$



ภาพที่ 2.7 ตำแหน่งของตัวกระทำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบควบคุม

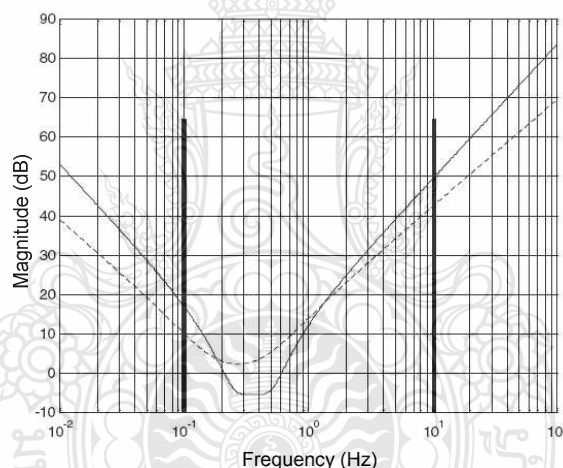
จากสมการที่ 2.15 ส่วนที่เกิดจากฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยคือตัวแปรที่ยกกำลังของตัวกระทำปริพันธ์ และอนุพันธ์ นั่นคือตัวแปร  $\lambda$  และ  $\mu$  เพื่ออธิบายในการใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยมีส่วนปรับปรุงระบบให้มีเสถียรภาพได้อย่างไร ได้ยกตัวอย่างการใช้ฟังก์ชันถ่ายโอน ลำดับเศษส่วนย่อยในระบบ

$$G(s) = 2.4 + \frac{0.18}{s^{1.7}} + 6s^{1.7}$$

เขียนฟังก์ชันถ่ายโอนใหม่ให้อยู่ในรูป  $PI^\lambda D^\mu$

$$G(s) = 2.4 + \left[ \frac{0.18}{s} \right] \left( \frac{1}{s^{0.7}} \right) + [6s](s^{0.7})$$

โดยฟังก์ชันที่เขียนขึ้นมาใหม่เป็นการประมาณค่าของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ในส่วนที่เป็นตัวกระทำของปริพันธ์ (Integral) คือ  $\frac{1}{s^{0.7}}$  และส่วนที่เป็นตัวกระทำของอนุพันธ์ (Derivative) คือ  $s^{0.7}$



ภาพที่ 2.8 การตอบสนองความถี่ทางขนาดของการประมาณค่าฟังก์ชันถ่ายโอน เส้นทึบแทนการ

ควบคุม PID แบบดั้งเดิม  $\left[ G(s) = 2.4 + \frac{0.18}{s} + 6s \right]$  และเส้นประแทนการควบคุม

แบบ  $PI^\lambda D^\mu$   $\left[ G(s) = 2.4 + \left[ \frac{0.18}{s} \right] \left( \frac{1}{s^{0.7}} \right) + [6s](s^{0.7}) \right]$

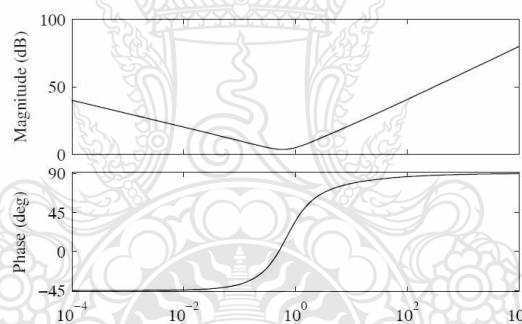
จากภาพที่ 2.8 เส้นทึบแทนการตอบสนองความถี่ทางขนาดของฟังก์ชันถ่ายโอนแบบ PID ดั้งเดิม และเส้นประแทนการตอบสนองทางขนาดของฟังก์ชันถ่ายโอนแบบ  $PI^\lambda D^\mu$  จะเห็นได้ว่าเมื่อมีการนำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยเพิ่มเข้าไปในระบบจะให้การตอบสนองที่เร็วขึ้น

ในช่วงความถี่ที่กำหนด คือตั้งแต่ 0.1 เฮิรตซ์ ถึง 10 เฮิรตซ์ พบว่าการตอบสนองความถี่ทางขนาดมีค่า อัตราการลดทอนน้อยกว่าประมาณ 10 dB และจุดต่ำสุดของเส้นขนาดมีการเข้าใกล้ค่า 0 dB มากกว่า ส่วนการควบคุม PID แบบดั้งเดิมเส้นขนาดมีค่าที่ต่ำกว่า 0 dB เป็นผลให้ระบบตอบสนองช้าลง

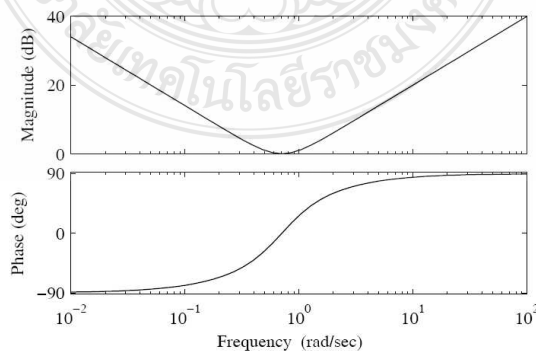
จากสมการที่ 2.15 สามารถวิเคราะห์การตอบสนองของฟังก์ชันถ่ายโอน แบบลำดับ เศษส่วนย่อยในโดเมนความถี่ของระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ โดยการแปลง ลากลาซจะได้อสมการที่ 2.16

$$G_f(s) = K_p + \frac{K_I}{s^\lambda} + K_D = k \frac{(s/\omega_f)^{\lambda+\mu} + s\delta_f s^\lambda / \omega + 1}{s^\lambda} \quad (2.16)$$

ทำการวิเคราะห์การตอบสนองความถี่ของระบบโดยแทนค่าตัวแปรดังต่อไปนี้  $k = 1$ ,  $\omega_f = 1$ ,  $\delta_f = 1$  และ  $\lambda = \mu = 0.5$  แสดงในภาพที่ 2.9



ภาพที่ 2.9 การตอบสนองความถี่ของระบบ ด้วยค่า  $k = 1$ ,  $\omega_f = 1$ ,  $\delta_f = 1$  และ  $\lambda = \mu = 0.5$

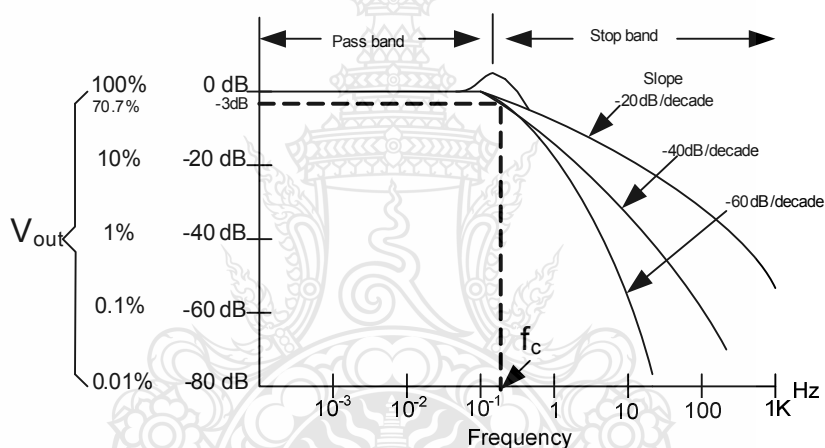


ภาพที่ 2.10 การตอบสนองความถี่ของระบบ ด้วยค่า  $K_p = 1$ ,  $K_I = 0.5$  และค่า  $K_D = 1$

เปรียบเทียบการตอบสนองความถี่ของระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ในภาพที่ 2.9 และ 2.10 เมื่อตัวกระทำทั้งสองในระบบมีการเพิ่มค่าอีก 0.5 ระบบจะมีการตอบสนองที่เร็วขึ้น โดยการตอบสนองความถี่ทางขนาดมีค่าอัตราการลดทอนน้อยกว่า และการตอบสนองความถี่เชิงเฟส นั้นในช่วงความถี่ที่กำหนดจะมีมุมเฟสเป็นครึ่งหนึ่งคือ -45 ถึง 45 องศา

### 2.3 วงจรกรองความถี่ต่ำ (Low Pass Filter Circuit)

การใช้งานวงจรอิเล็กทรอนิกส์บางครั้ง อาจต้องการความถี่บางช่วง โดยสัญญาณที่นอกเหนือจากนี้จะถูกกำจัดออกไป วงจรกรองความถี่ต่ำ [11] คือวงจรไฟฟ้าที่ทำหน้าที่ยอมให้ความถี่ผ่านได้ในช่วงตั้งแต่สัญญาณที่เป็นแรงดันไฟฟ้ากระแสตรง (DC) ไปจนถึงความถี่คัตออฟ ( $f_c$ )



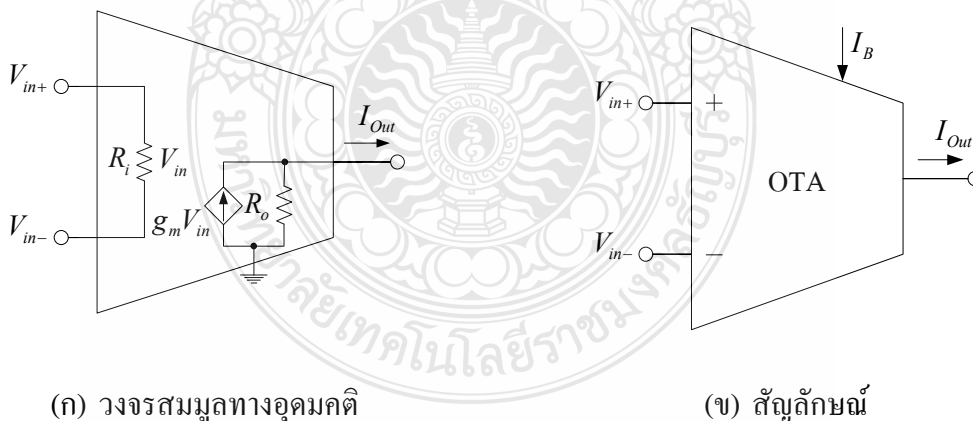
ภาพที่ 2.11 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน

ในทางอุดมคติวงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่คัตออฟผ่านเข้าไปในวงจรเลยหากสัญญาณมีความถี่สูงกว่าความถี่คัตออฟเพียงเล็กน้อยแต่ในทางปฏิบัติ ลักษณะของความถี่สูงที่ถูกกันออกไปนั้นจะไม่เป็นเช่นนั้น แต่จะค่อยๆ ลดอัตราขยายลงเรื่อยๆ จุดที่มีความถี่มีค่าเท่ากับความถี่คัตออฟ และจุดนี้มีหลายชื่อในการเรียก เช่น ความถี่ 0.707 (ขนาดของ  $V_{out}$  ลดลงเหลือเพียง 70.7% เทียบกับ  $V_{in}$  สูงสุด) ความถี่ -3 dB (อัตราขยายของแรงดันเอาต์พุตลดลง 3dB) หรือความถี่หักมุมเป็นต้น กล่าวโดยสรุปวงจรกรองความถี่ต่ำผ่านจะถูกลดขนาดของสัญญาณที่มีความถี่สูงกว่าความถี่คัตออฟ และเรียกช่วงสัญญาณที่มีความถี่ต่ำกว่าความถี่คัตออฟว่าช่วงที่ผ่านได้ (Pass Band) และช่วงที่มีความถี่สูงกว่าความถี่คัตออฟ ว่าช่วงที่ถูกกัน (Stop Band)

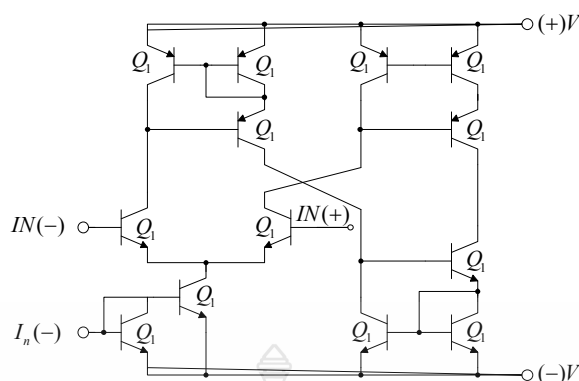
จากภาพที่ 2.11 เมื่อสัญญาณมีความถี่สูงกว่าแรงดันของจุดคัทออฟแล้ว สัญญาณบางเส้นอาจจะถูกลดทอนด้วยอัตราที่น้อยกว่าแรงดันเส้นอื่น เช่นสัญญาณที่มีความชัน  $-20 \text{ dB/decade}$  (อัตรารายยาลดลง  $20 \text{ dB}$  ต่อความถี่ที่เพิ่มขึ้น  $10$  เท่า)

#### 2.4 อุปกรณ์ประเภทโอทีเอ (Operational Transconductance Amplifier)

โอทีเอย่อมาจาก Operation Transconductance Amplifier [12] จัดเป็นวงจรรขยายที่แปลงแรงดันไฟฟ้าให้มาเป็นกระแสไฟฟ้า โดยมีลักษณะการทำงานเป็นแรงดันไฟฟ้าควบคุมแหล่งจ่ายกระแสไฟฟ้า (Voltage Control Current Source : VCCS) ซึ่งวงจรมูลทางอุดมคติ สัญลักษณ์และวงจรรภายในของโอทีเอที่สร้างจากทรานซิสเตอร์แสดงดังภาพที่ 2.12 คุณสมบัติของโอทีเอนั้นจะมีอิมพีแดนซ์ทางอินพุตและเอาต์พุตสูง โดยในทางอุดมคติจะมีค่าเป็นอนันต์ ทำให้สามารถใช้งานในวงจรที่ต้องมีอินพุตและเอาต์พุตที่มีค่าอิมพีแดนซ์สูง ซึ่งต่างจากอุปกรณ์ประเภทออปแอมป์ เพราะออปแอมป์มีอิมพีแดนซ์ทางอินพุตสูงอย่างเดียว จากวงจรมูลทางอุดมคติของโอทีเอ กระแสไฟฟ้าทางเอาต์พุตจะเปลี่ยนแปลงตามความแตกต่างของแรงดันไฟฟ้าทางด้านอินพุต ( $V_{in}$ ) แสดงในสมการที่ 2.17 และค่าทรานส์คอนดักแตนซ์สามารถควบคุมได้ด้วยกระแสไฟฟ้า ( $I_B$ ) ดังแสดงในสมการที่ 2.18







(ค) วงจรภายในของโอทีเอทีที่สร้างจากทรานซิสเตอร์

ภาพที่ 2.12 อุปกรณ์ประเภทโอทีเอ

$$I_{out} = g_m (V_{in+} - V_{in-}) \quad (2.17)$$

$$g_m = hI_B \cong \frac{I_B}{2V_T} \quad (2.18)$$

เมื่อ  $g_m$  คือ ค่าทรานคอนดักแตนซ์

$h$  คือ ค่าคงที่เป็นสัดส่วนกับอุณหภูมิซึ่งกำหนดมาจากบริษัทผู้ผลิต

$I_B$  คือ กระแสควบคุม

$V_T$  คือ ค่าแรงดันคงที่มีค่าประมาณ 26 mV

#### 2.4.1 การประยุกต์ใช้งานอุปกรณ์ประเภทโอทีเอ

การนำโอทีเอไปประยุกต์ใช้งานทำหน้าที่ได้อย่างหลากหลาย เช่น วงจรขยายสัญญาณ วงจรความต้านทานแปรผันตามแรงดันไฟฟ้า วงจรคูณสัญญาณอนาล็อก เป็นต้น ในวิทยานิพนธ์นี้ได้นำอุปกรณ์ประเภทโอทีเอมาใช้ในการขยายสัญญาณควบคุมตัวกระทำของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ เพราะต้องการควบคุมค่าความคลาดเคลื่อนของตัวกระทำโดยใช้กระแสควบคุมจากภายนอก และสำหรับในการออกแบบวงจรรองความถี่ต่ำนั้น อุปกรณ์ประเภทโอทีเอสามารถทำงานได้ในความถี่ที่สูงกว่าการใช้งานอุปกรณ์ประเภทออปแอมป์ และสามารถควบคุมค่าทรานส์คอนดักแตนซ์โดยใช้กระแสควบคุมจากภายนอก ( $I_B$ )

## 2.5 งานวิจัยที่เกี่ยวข้อง

เนื่องจากงานวิจัยทางทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยได้มีการพัฒนาหลากหลายรูปแบบและหลายแนวทาง ทั้งที่เป็นในส่วนของอนาล็อกและดิจิทัล ความซับซ้อนในออกแบบวงจร ความเร็วในการตอบสนองความถี่ของระบบแตกต่างกันไป รวมไปถึงอินพุตและความถี่ที่ใช้ในการทดสอบระบบหรือวงจรที่ออกแบบ จึงแตกต่างกันออกไปตามวัตถุประสงค์ของการวิจัยนั้นๆ ตัวอย่างงานวิจัยที่ผ่านมาที่นำมาเสนอนี้ จึงได้เลือกเฉพาะงานที่ใกล้เคียงกับงานวิจัยที่กำลังทำอยู่ดังต่อไปนี้

### 2.5.1 งานวิจัยเรื่อง “Tuning of FOPID Controller Using Taylor Series Expansion” ปี ค.ศ.2011

เป็นงานวิจัยของ Ali Akbar [1] ซึ่งทำการวิจัยเรื่องการนำอนุกรมเทเลอร์ ไปปรับปรุค่าตัวกระทำของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ โดยเพิ่มอนุกรมเทเลอร์ ในส่วนของตัวปริพันธ์ และอนุพันธ์ ที่มีการปรับปรุอยู่แล้วเพื่อเพิ่มประสิทธิภาพการลดค่า Maximum Overshoot, Settling Time, Rise Time และ ค่า Steady State Error ของระบบ

$$G'(s) = K_p(-K_I \lambda s^{-\lambda-1} + K_D \mu s^{\mu-1}), 0 < \lambda, \mu < 2 \quad (2.19)$$

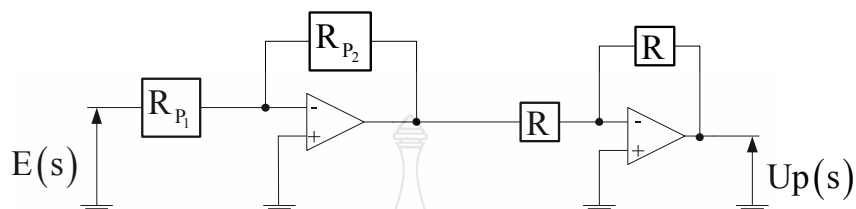
### ตารางที่ 2.1 สรุปผลการเปรียบเทียบการตอบสนองของระบบควบคุมแบบป้อนกลับของ FOPID Using Proposed Method, FOPID Using GA Method และ PID Using Proposed Method

Different Controllers	Maximum Overshoot	Settling Time	Rise Time	Steady State Error
FOPID Using Proposed Method	4	2.08	0.9	0
FOPID Using GA Method	4.5	5.3	1.26	0
PID Using Proposed Method	2	1.08	0.86	0

### 2.5.2 งานวิจัยเรื่อง “ Design of Analog Variable Fractional-Order Differentiator and Integrator” ปี ค.ศ.2012

เป็นงานวิจัยของ A. Charef, D. Idiou [2] ซึ่งทำการวิจัยเรื่องการนำทฤษฎีฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยไปประยุกต์ใช้ในวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ วงจรที่นำเสนอเป็นการออกแบบโดยใช้อุปกรณ์ประเภทออปแอมป์ เพื่อให้วงจรทำงานในโหมดแรงดันและควบคุม

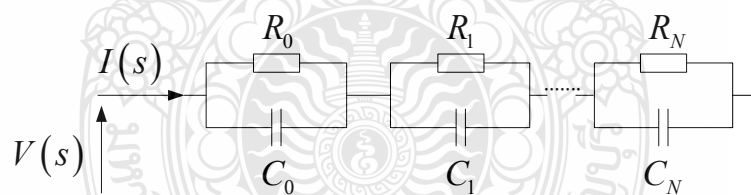
ค่าความคลาดเคลื่อนของตัวกระทำโดยใช้วงจรถอดแบบคงที่ ซึ่งในงานวิจัยนี้ได้นำเสนอการออกแบบวงจรสำหรับตัวกระทำแบบสัดส่วน และวงจรที่ทำหน้าที่เป็นตัวกระทำแบบปริพันธ์และอนุพันธ์



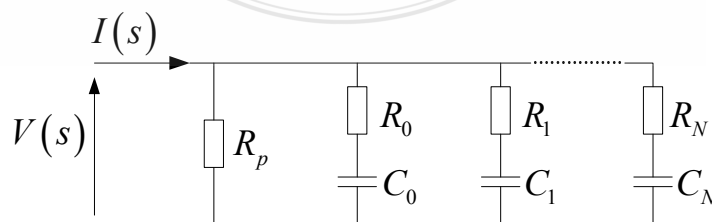
ภาพที่ 2.13 วงจรควบคุมแบบสัดส่วน

จากภาพที่ 2.13  $R_{P2}$  และ  $R_{P1}$  เป็นตัวกำหนดค่าสัดส่วนของวงจรหรือค่า  $K_p$  ซึ่งเป็นตัวกำหนดฟังก์ชันถ่ายโอนของวงจร

$$\frac{U_p(s)}{E(s)} = K_p = \frac{R_{P2}}{R_{P1}} \quad (2.20)$$



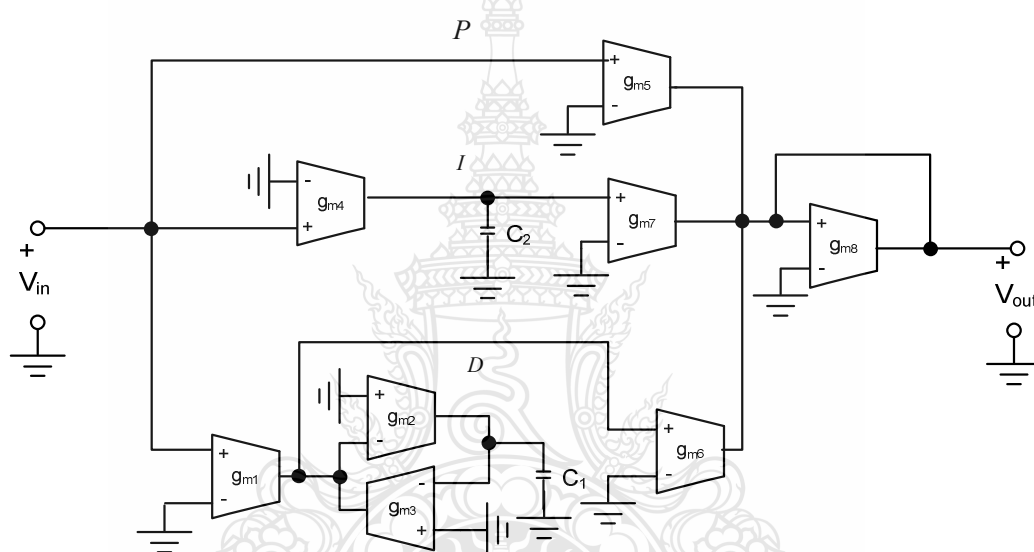
ภาพที่ 2.14 วงจรปริพันธ์



ภาพที่ 2.15 วงจรอนุพันธ์

### 2.5.3 งานวิจัยเรื่อง “OTA-C Based Proportional-Integral-Derivative (PID) Controller and Calculating Optimum Parameter Tolerances” ปี ค.ศ.2010

เป็นงานวิจัยของ Cevat ERDAL, Ali TOKER and Cevdet ACAR [3] ซึ่งทำการวิจัยการออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ วงจรที่นำเสนอเป็นการออกแบบโดยใช้อุปกรณ์ประเภทโอทีเอ และอุปกรณ์ประเภทโอทีเอสร้างมาจากมอสเฟตทรานซิสเตอร์ ในงานวิจัยนี้ยังได้นำเสนอการเพิ่มความเร็วของการตอบสนองของวงจรโดยการปรับค่าพารามิเตอร์ของอุปกรณ์ในส่วนปริพันธ์และอนุพันธ์ ของวงจรเพื่อลดการหน่วงเวลาของสัญญาณเอาต์พุต



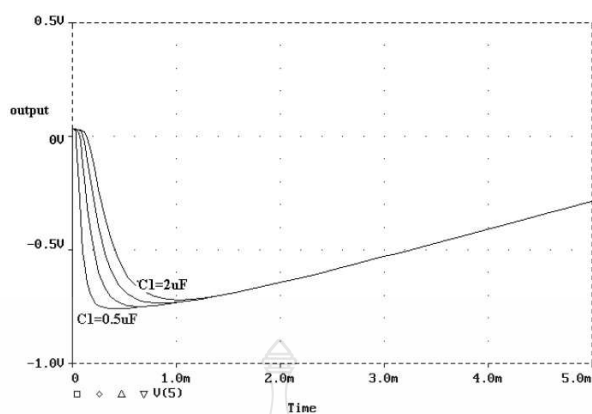
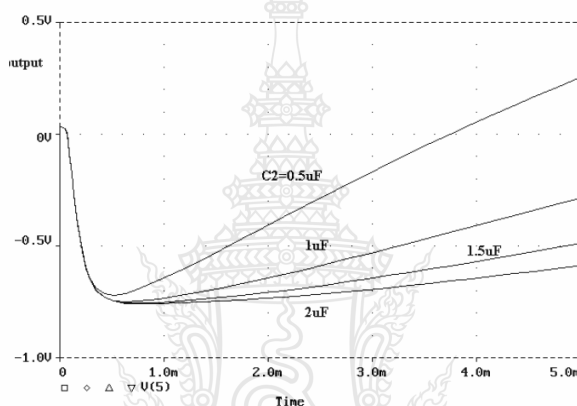
ภาพที่ 2.16 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ที่ใช้อุปกรณ์ประเภทโอทีเอ

อัตราส่วนตัวกระทำของวงจรกำหนดโดยสมการที่ 2.21

$$K_p = \frac{g_{m5}}{g_{m8}} \quad (2.21)$$

$$K_I = \frac{g_{m4}g_{m7}}{C_2g_{m8}}$$

$$K_D = \frac{g_{m1}C_1g_{m6}}{g_{m2}g_{m3}g_{m8}}$$

(ก) การปรับค่าพารามิเตอร์  $C_1$ (ข) การปรับค่าพารามิเตอร์  $C_2$ 

ภาพที่ 2.17 การปรับค่าพารามิเตอร์  $C_1$  และ  $C_2$  ที่ทำให้เอาต์พุตของวงจรเกิดการเปลี่ยนแปลง

#### 2.5.4 งานวิจัยเรื่อง “Fractional Order Control - A Tutorial” ปี ค.ศ.2009

งานวิจัยของ YangQuan Chen, Ivo Petr'a's and Ding'yu Xue [4] เป็นงานวิจัยที่รวบรวมทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบที่มีการเปลี่ยนแปลง คุณสมบัติของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยทั้งแบบอนุพันธ์และปริพันธ์ การเพิ่มเสถียรภาพของระบบโดยใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย การออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ การวิเคราะห์ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยโดยใช้โปรแกรม MATLAB การประยุกต์ใช้งานฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในระบบที่เป็นสัญญาณแบบไม่ต่อเนื่อง การออกแบบวงจรแพคแดนซ์ และการออกแบบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์โดยใช้อุปกรณ์ประเภทออปแอมป์และวงจรรอนาล็อก ซึ่งมีคุณสมบัติของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่น่าสนใจดังต่อไปนี้

1) ฟังก์ชัน  $f(t)$  ของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยแบบอนุพันธ์ วิเคราะห์โดยใช้สมการที่ 2.22

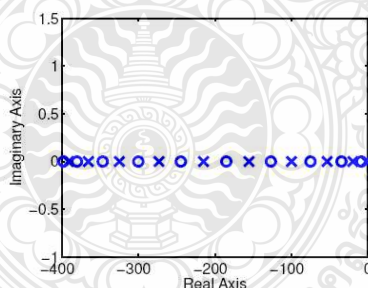
$${}_0D_t^\alpha f(t) = \frac{d^n}{dt^n} [{}_0D_t^{-(n-\alpha)} f(t)] \quad (2.22)$$

เมื่อ  ${}_0D_t^\alpha$  คือ การหาอนุพันธ์ของฟังก์ชัน  $f(t)$  ที่มีค่าเริ่มต้นซึ่งส่วนมากจะเริ่มจากศูนย์  
 $\alpha$  คือ ลำดับเศษส่วนย่อยที่มีค่าน้อยกว่าหนึ่ง

2) ในกรณี  $\alpha = n$  เมื่อ  $n$  คือลำดับของตัวกระทำปริพันธ์ในระบบควบคุม PID แบบทั่วไป ผลการวิเคราะห์โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยจะได้ผลลัพธ์เหมือนกับตัวกระทำปริพันธ์ในระบบควบคุม PID แบบทั่วไป กล่าวคือ  $s^n$  เมื่อ  $n$  คือเลขจำนวนเต็ม เช่น 1, 2, 3...

3) ในกรณี  $\alpha = 0$  การดำเนินการโดยฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นจะไม่เกิดการดำเนินการใดๆ ในระบบ

4) ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยทั้งแบบปริพันธ์และอนุพันธ์นั้นจะต้องกระทำในระบบที่เป็นแบบเชิงเส้น



ภาพที่ 2.18 ตำแหน่งโพลของลำดับเศษส่วนย่อยที่  $s^{-\frac{1}{2}}$

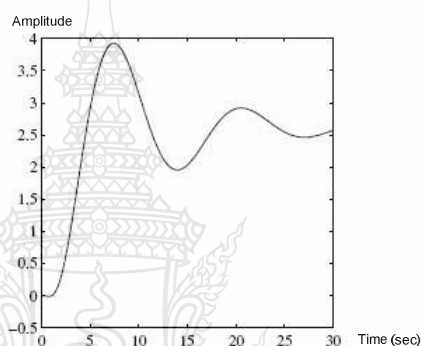
การวิเคราะห์ฟังก์ชันถ่ายโอนของระบบที่ใช้ตัวกระทำแบบฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยโดยใช้โปรแกรม MATLAB เพื่อทำการวิเคราะห์การตอบสนองของระบบ

$$G(s) = \frac{-2s^{0.63} + 4}{2s^{3.501} + 3.8s^{2.42} + 2.6s^{1.798} + 2.5s^{1.31} + 1.5}$$

```
>> b=[-2, 4]; na=[3.501, 2.42, 1.798, 1.31, 0];
nb=[0.63, 0]; a=[2 3.8 2.6 2.5 1.5];
G=fotf(a, na, b, nb);
t=0:0.01:30; step(G, t);
```

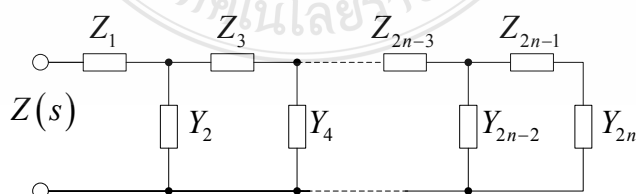
ภาพที่ 2.19 การใช้โปรแกรม MATLAB ในการวิเคราะห์

fotf [8] คือ ฟังก์ชันพิเศษที่สร้างขึ้นในโปรแกรม MATLAB เพื่อใช้คำนวณส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยของสมการที่จะทำการวิเคราะห์การตอบสนองของระบบ



ภาพที่ 2.20 การตอบสนองชั่วคราวของระบบ

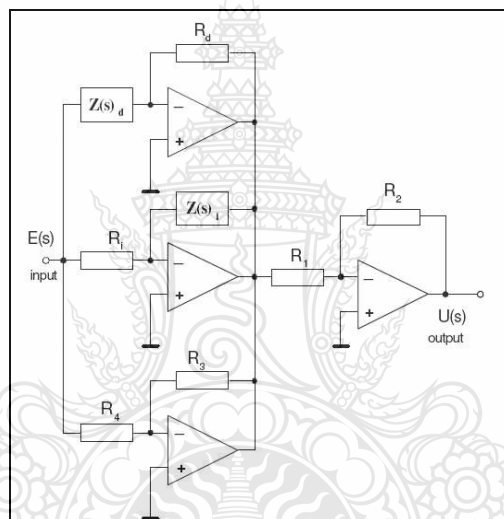
ในงานวิจัยนี้วงจรแฟกแตนต์ประกอบด้วย อุปกรณ์อิเล็กทรอนิกส์สองชนิด คือ ตัวความต้านทานไฟฟ้า และตัวเก็บประจุไฟฟ้า และโครงสร้างของวงจรต่อกันในลักษณะโครงข่ายระแนงแบบจันบันได (Domino Ladder Lattice Networks) เพื่อให้ได้ค่าอิมพีแดนซ์รวม  $Z(s)$  ที่สามารถตอบสนองความถี่ในระบบ



ภาพที่ 2.21 วงจรแฟกแตนต์

โดยที่  $Z_n$  คือค่าอิมพีแดนซ์ และ  $Y_n$  คือค่าแอดมิตแตนซ์ เมื่อพิจารณาวงจรแฟคแตนซ์ในภาพที่ 2.21 ค่าอิมพีแดนซ์รวม  $Z(s)$  ของวงจรสามารถอธิบายได้ในสมการที่ 2.23

$$Z(s) = Z_1(s) + \frac{1}{Y_2(s) + \frac{1}{\dots + \frac{1}{Y_{2n-2}(s) + \frac{1}{Z_{2n-1}(s) + \frac{1}{Y_{2n}(s)}}}}} \quad (2.23)$$



ภาพที่ 2.22 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์  $PI^2D^u$

### 2.5.5 งานวิจัยเรื่อง “First-Order Filters Generalized To the Fractional Domain” ปี ค.ศ.2008

งานวิจัยของ A. G. Radwan, A. M. Soliman and A. S. Elwakil [5] ซึ่งทำการวิจัยเรื่องการออกแบบวงจรกรองความถี่โดยใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยเป็นการนำเสนอการออกแบบวงจรกรองความถี่ต่ำ วงจรกรองความถี่สูง วงจรกรองความถี่บางช่วงผ่าน วงจรกรองความถี่ทั้งหมดผ่าน การออกแบบวงจรแฟคแตนซ์ในวงจรกรองความถี่แบบต่างๆ การสเกลความถี่เพื่อคำนวณหาค่าความต้านทาน และค่าตัวเก็บประจุไฟฟ้าของวงจรแฟคแตนซ์

#### 1) การออกแบบวงจรกรองความถี่ต่ำ

ฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำที่ใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับ



เศษส่วนย่อยในการออกแบบแสดงในสมการที่ 2.24

$$T_{FLPF}(s) = \frac{d}{s^\alpha + a} \quad (2.24)$$

โดยที่  $d > 0, s = j\omega, 0 < \alpha < 1$  และ  $a > 0$  การตอบสนองความถี่ทั้งขนาดและเชิงเฟสของฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำ สามารถหาได้จากสมการที่ 2.25 และ 2.26

$$|T_{FLPF}(j\omega)| = \frac{d}{\sqrt{\omega^{2\alpha} + 2a \cos\left(\frac{\alpha\pi}{2}\right) + a^2}} \quad (2.25)$$

เมื่อ  $|T_{FLPF}(j\omega)|$  คือ การตอบสนองความถี่ทางขนาด

$$\angle T_{FLPF}(j\omega) = -\tan^{-1} \frac{\omega^\alpha \sin\left(\frac{\alpha\pi}{2}\right)}{\omega^\alpha \cos\left(\frac{\alpha\pi}{2}\right) + a} \quad (2.26)$$

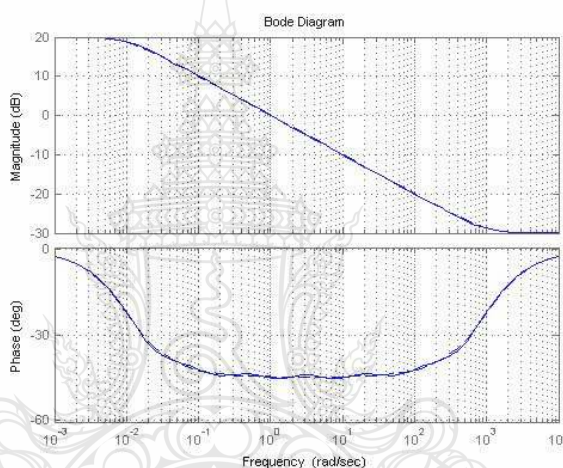
เมื่อ  $\angle T_{FLPF}(j\omega)$  คือ การตอบสนองความถี่เชิงเฟส

**ตารางที่ 2.2** พารามิเตอร์ที่สำคัญสำหรับการออกแบบวงจรกรองความถี่ต่ำผ่านที่ใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

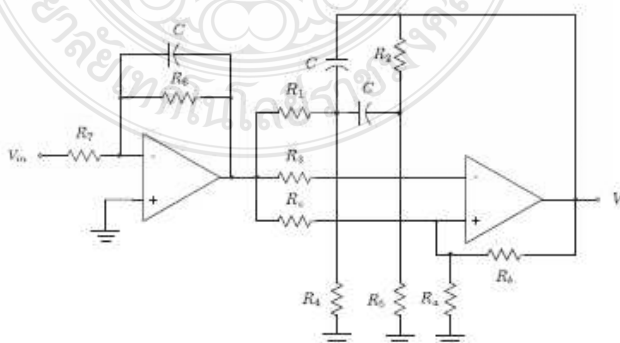
$\omega =$	ขนาด	มุม
0	$\frac{d}{a}$	0
$\omega_0$	$\frac{d}{2a \cos(\alpha\pi/4)}$	$-\frac{\alpha\pi}{4}$
$\infty$	0	$-\frac{\alpha\pi}{2}$
$\omega_m$	$\frac{d}{a \cos(\alpha\pi/2)}$	$-\frac{(1-\alpha)\pi}{2}$
$\omega_h$	$\frac{d}{\sqrt{2}a}$	$\tan^{-1} \frac{\sin(\alpha\pi/2)}{2 \cos(0.5\alpha\pi) + \sqrt{1 + \cos^2(\alpha\pi/2)}}$
$\omega_p$	$\frac{d}{a} \cot(\alpha\pi/2)$	$\frac{\pi}{2}$

### 2.5.6 งานวิจัยเรื่อง “Towards the Realization of Fractional Step Filters” ปี ค.ศ.2010

งานวิจัยของ Todd J. Freeborn, Brent Maundy, and Ahmed Elwakil [6] ซึ่งทำการวิจัยเกี่ยวกับการนำทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปประยุกต์ใช้ในการปรับปรุงประสิทธิภาพของวงจรกรองความถี่ต่ำ ผลการจำลองการทำงานของวงจรที่ออกแบบพบว่าการนำฟังก์ชันถ่ายโอน ลำดับเศษส่วนย่อยไปปรับปรุงวงจรกรองความถี่ที่ใช้วงจรอินทิเกรเตอร์แบบธรรมดา นั้น ช่วงที่เป็นความถี่คutoffสามารถลดการเกิดปัญหาการยกตัวของการตอบสนองความถี่ทางขนาด และความชันของการตอบสนองความถี่ทั้งขนาดและเชิงเฟส สอดคล้องกับทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย คือ  $-20$  dB/decade อย่างสม่ำเสมอ

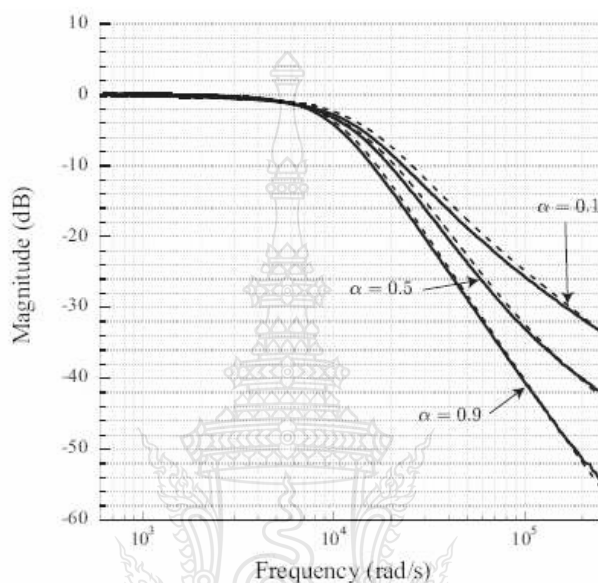


ภาพที่ 2.23 เส้นประแทนการตอบสนองความถี่ทั้งขนาดและเชิงเฟสของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่  $s^{0.5}$  และเส้นทึบแทนลำดับที่  $s^1$



ภาพที่ 2.24 วงจรที่ทำการออกแบบ

วงจรถูกแสดงในภาพที่ 2.24 นั้นที่ลำดับเศษส่วนย่อย ( $n + \alpha$ ) โดยที่ค่า  $\alpha = 0.1, 0.5$  และ  $0.9$  ออปแอมป์ใช้เบอร์ MC1458 ตัวความต้านทานทั้งหมดในวงจรถูกค่า 1 กิโลโห์มและความถี่ที่ใช้ในการทดสอบนั้นเริ่มต้นจาก 1 rad/sec ไปจนถึง  $10^4$  rad/sec ตัวแปรที่ทำให้ค่าลำดับเศษส่วนย่อยเปลี่ยนแปลงในวงจรถูกคือ ตัวเก็บประจุไฟฟ้าทั้งสามที่อยู่ในวงจรถูก



ภาพที่ 2.25 การตอบสนองความถี่ทางขนาดของวงจรถูกที่นำเสนอ

จากภาพที่ 2.25 ผลการตอบสนองความถี่ทางขนาดที่มีการเปลี่ยนลำดับเศษส่วนย่อยในวงจรถูก โดยลำดับเศษส่วนย่อยที่  $\alpha = 0.9$  ให้ผลการตอบสนองความถี่ที่ดีที่สุด และการลาดเอียงของเส้นโค้งขนาดจะเป็นไปในแนวลดลงมีค่าประมาณ  $-40$  dB/decade อย่างสม่ำเสมอ

ตารางที่ 2.3 การเปรียบเทียบทฤษฎีและผลการทดลอง

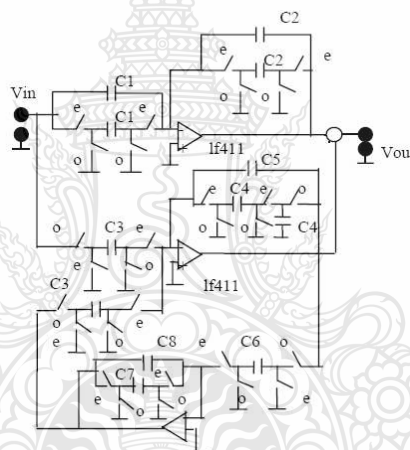
Order ( $1 + \alpha$ )	Theoretical (dB/dec)	Simulated (dB/dec)	Experimental (dB/dec)
1.1	-22	-22.48	-22.93
1.5	-30	-29.20	-29.74
1.9	-38	-36.50	-36.44

### 2.5.7 งานวิจัยเรื่อง “Novel Switched Capacitor Half Differentiator Using Schneider Operator”

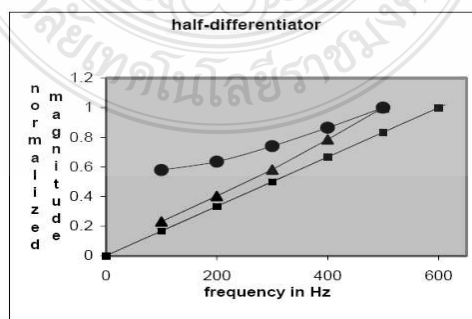
ปี ค.ศ.2010

งานวิจัยของ P. Varshney, Maneesha Gupta and G. S. Visweswaran [7] ซึ่งทำการวิจัยเกี่ยวกับการนำทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปประยุกต์ทำการออกแบบวงจรสวิตช์ตัวเก็บประจุไฟฟ้า เพื่อทำการทดสอบฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยกับสัญญาณอินพุตที่เป็นสัญญาณแบบไม่ต่อเนื่อง โดยการประมาณค่าของการแปลงสัญญาณแบบต่อเนื่องเป็นสัญญาณแบบไม่ต่อเนื่องแสดงในสมการที่ 2.27

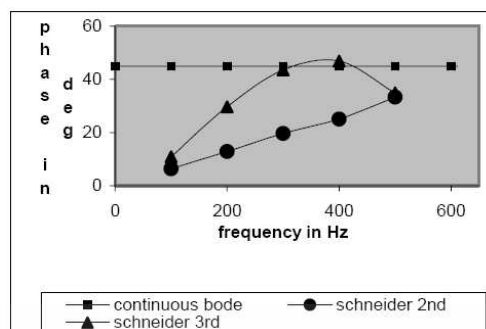
$$s^{1/2} = \left[ \left( \frac{12}{T} \right) \frac{(z^2 - z)}{(5z^2 + 8z - 1)} \right]^{1/2} \quad (2.27)$$



ภาพที่ 2.26 วงจรสวิตช์ตัวเก็บประจุไฟฟ้า

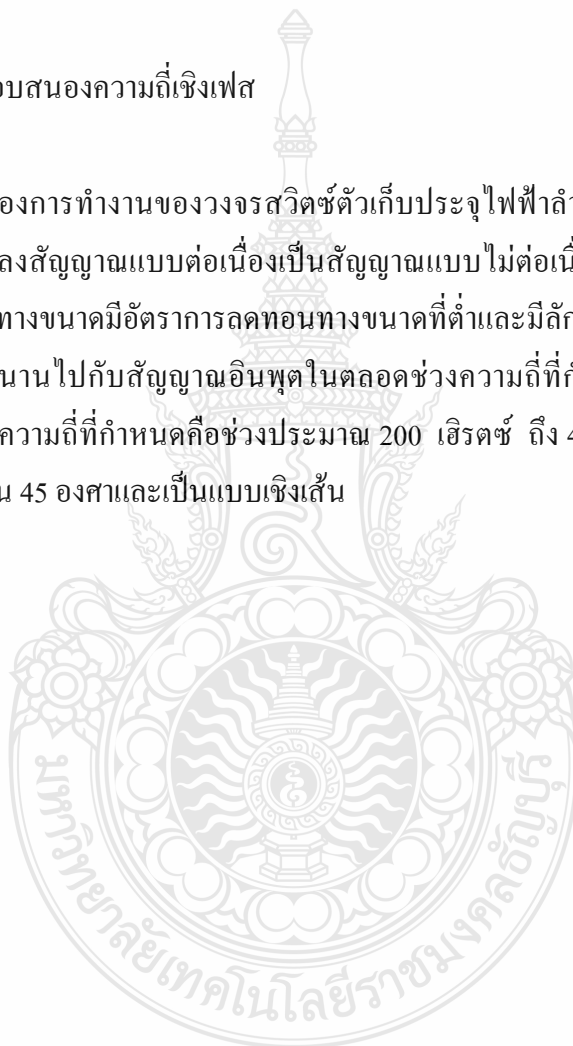


ภาพที่ 2.27 ผลการตอบสนองความถี่ทางขนาด



ภาพที่ 2.28 ผลการตอบสนองความถี่เชิงเฟส

ผลการจำลองการทำงานของวงจรสวิทช์ตัวเก็บประจุไฟฟ้าลำดับที่สามที่ออกแบบให้ตัวกระทำที่ใช้ในการแปลงสัญญาณแบบต่อเนื่องเป็นสัญญาณแบบไม่ต่อเนื่องที่มีค่าประมาณ  $s^{1/2}$  นั้น การตอบสนองความถี่ทางขนาดมีอัตราการลดทอนทางขนาดที่ต่ำและมีลักษณะที่เป็นเชิงเส้นและเส้นขนาดมีลักษณะการขนานไปกับสัญญาณอินพุตในตลอดช่วงความถี่ที่กำหนด และการตอบสนองความถี่เชิงเฟสในช่วงความถี่ที่กำหนดคือช่วงประมาณ 200 เฮิรตซ์ ถึง 400 เฮิรตซ์ การตอบสนองความถี่เชิงเฟสมีมุมเป็น 45 องศาและเป็นแบบเชิงเส้น



## บทที่ 3

### วิธีการดำเนินงานวิจัย

เนื้อหาในส่วนนี้เสนอการนำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปประยุกต์ใช้งานในการออกแบบวงจรรอานาล็อก และดังที่ได้กล่าวมาในบทที่ผ่านมา นั้น วงจรรอานาล็อกที่จะทำการออกแบบมีสองวงจรร่วมกันคือ วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) และวงจรกรองความถี่ต่ำ โดยวงจรรอานาล็อกทั้งสองออกแบบโดยใช้อุปกรณ์ประเภทโอทีเอ มีขั้นตอนต่างๆ ดังต่อไปนี้

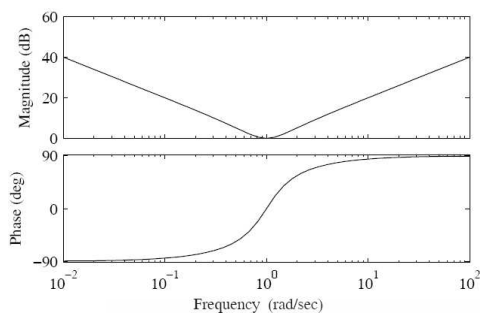
#### 3.1 การออกแบบวงจรถวลคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ )

ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ใช้ในการควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์สามารถเขียนในรูปของฟังก์ชันถ่ายโอน ลำดับเศษส่วนย่อย [1-2] ได้ตามสมการที่ 3.1

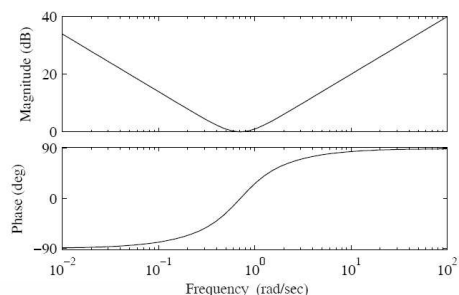
$$u(t) = K_p e(t) + K_I D^{-\lambda} e(t) + K_D D^\mu e(t) \quad (3.1)$$

เมื่อ  $u(t)$  คือ สัญญาณควบคุมอินพุตของระบบ  
 $e(t)$  คือ สัญญาณควบคุมความคลาดเคลื่อน

ในการออกแบบระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์  $PI^\lambda D^\mu$  นั้นต้องมีการหาค่าพารามิเตอร์ที่สำคัญคือ  $\omega_L$ ,  $\omega_H$ ,  $\lambda$ ,  $\mu$ ,  $K_I$ ,  $K_p$  และ  $K_D$  โดยที่  $\omega_L$  คือความถี่ต่ำสุดที่ระบบสามารถตอบสนองได้  $\omega_H$  คือความถี่สูงสุดที่ระบบสามารถตอบสนองได้  $\lambda$  คือค่าลำดับแบบเศษส่วนย่อยของตัวกระทำปริพันธ์ที่เพิ่มเข้าไปในระบบ  $\mu$  คือค่าลำดับแบบเศษส่วนย่อยของตัวกระทำอนุพันธ์ที่เพิ่มเข้าไปในระบบ  $K_I$  คือค่าอัตราขยายปริพันธ์  $K_p$  คือค่าอัตราขยายสัดส่วน และ  $K_D$  คือค่าอัตราขยายอนุพันธ์ เพื่อให้ระบบทำงานเป็นไปตามทฤษฎีของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยและให้ผลการตอบสนองที่ดี

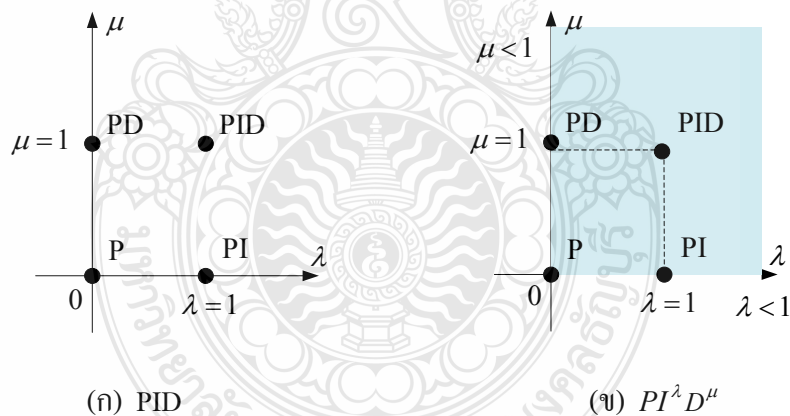


(ก) PID แบบทั่วไป

(ข)  $PI^\lambda D^\mu$  แบบลำดับเศษส่วนย่อย

ภาพที่ 3.1 เปรียบเทียบการตอบสนองความถี่ของ PID แบบทั่วไปและ  $PI^\lambda D^\mu$  แบบลำดับเศษส่วนย่อย

จากภาพที่ 3.1 จะเห็นได้ว่าการตอบสนองความถี่ของระบบควบคุมแบบ สัดส่วน-ปริพันธ์-อนุพันธ์ แบบที่ใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นระบบมีการตอบสนองที่เร็วกว่า โดยที่มีการเพิ่มค่าตัวกระทำ  $\lambda$  และ  $\mu$  อีกน้อยกว่าหนึ่ง



(ก) PID

(ข)  $PI^\lambda D^\mu$ 

ภาพที่ 3.2 เปรียบเทียบระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบ (PID) ทั่วไปและระบบที่ใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ( $PI^\lambda D^\mu$ ) บนระนาบการควบคุมของระบบ

จากภาพที่ 3.2 (ก) ระบบ PID แบบทั่วไป ตัวกระทำของระบบ  $\lambda$  และ  $\mu$  จะมีค่าเท่ากับหนึ่ง (ข) ระบบที่ใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย  $PI^\lambda D^\mu$  ที่มีการเพิ่มเติมในส่วนของตัวเอง

กระทำโดยตัวกระทำที่เพิ่มเข้าไประบบนั้นมีค่าน้อยกว่าหนึ่ง เพื่อเพิ่มความสามารถของตัวกระทำของระบบให้สามารถตอบสนองต่ออินพุตที่มีขอบเขตจำกัด

### 3.1.1 การออกแบบการควบคุมทิศทางการไหลของสัญญาณในวงจร

ทิศทางการไหลของสัญญาณเป็นส่วนที่สำคัญอย่างหนึ่งในการออกแบบวงจรหรือระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) [3] โดยเมื่อเขียนทิศทางการไหลของสัญญาณที่เป็นส่วนย่อยในระบบหรือวงจรที่ทำการออกแบบ เมื่อนำส่วนย่อยๆ แต่ละส่วนมารวมกันก็จะได้เป็นวงจรหรือระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) ซึ่งการไหลของสัญญาณจะเป็นตัวกำหนดฟังก์ชันถ่ายโอนของระบบนั่นเอง โดยที่การออกแบบวงจรหรือระบบโดยใช้ฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อย นั้นต้องเขียนทิศทางการไหลของสัญญาณจากวงจรที่เป็นแบบดั้งเดิมก่อน โดยวงจรที่เป็นส่วนย่อยๆ คือ วงจรอินทิเกรเตอร์ วงจรดิฟเฟอเรนเชียลเอเตอร์ วงจรเสมือนตัวเหนี่ยวนำ และวงจรรวมสัญญาณ สามารถอธิบายได้ตามสมการและภาพดังต่อไปนี้

$$T(s) = \frac{V_o(s)}{V_i(s)} = K_p + \frac{K_I}{s} + sK_D \quad (3.2)$$

จากสมการที่ 3.2 ซึ่งเป็นสมการระบบควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบทั่วไป สามารถออกแบบทิศทางการไหลของสัญญาณและวงจรที่เป็นส่วนย่อยๆ ที่ทำการออกแบบโดยใช้อุปกรณ์ประเภทโอทีเอได้ต่อไปนี้ [10]



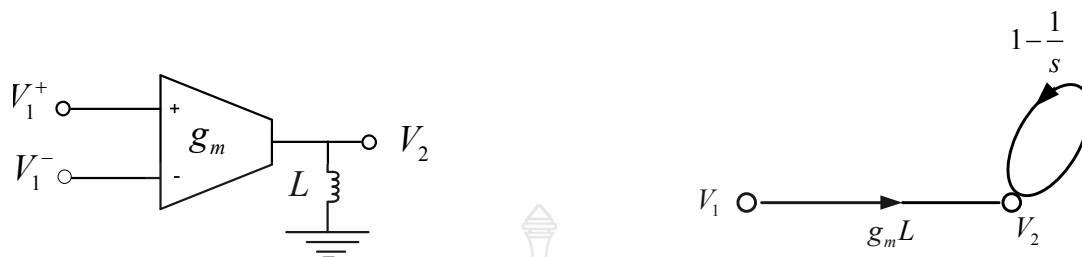
ภาพที่ 3.3 วงจรอินทิเกรเตอร์

$$V_2 = g_m Z(s)(V_1^+ - V_1^-) = \frac{g_m}{Y(s)}(V_1^+ - V_1^-), Z(s) = \frac{1}{sC} \quad (3.3)$$



ดังนั้น

$$V_2 = \frac{g_m}{sC} (V_1^+ - V_1^-) \quad (3.4)$$

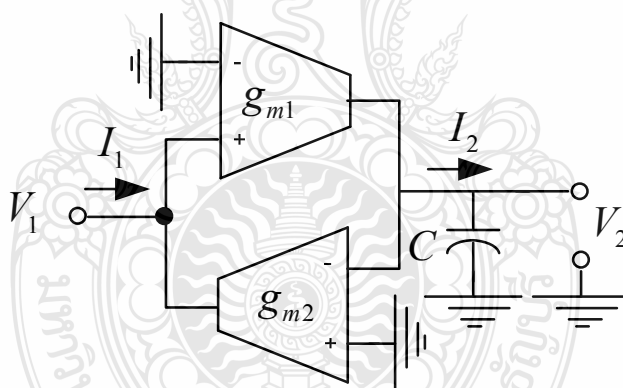


ภาพที่ 3.4 วงจรดิวเฟอเรนเชียลอินทิเกรเตอร์

$$V_2 = g_m Z(s) (V_1^+ - V_1^-), Z(s) = sL \quad (3.5)$$

ดังนั้น

$$V_2 = g_m sL (V_1^+ - V_1^-) \quad (3.6)$$



ภาพที่ 3.5 วงจรเสมือนตัวเหนี่ยวนำที่ออกแบบโดยใช้อุปกรณ์ประเภทโอทีเอเพื่อนำไปใช้ในวงจรดิวเฟอเรนเชียลอินทิเกรเตอร์ในภาพที่ 3.4

$$\frac{V_1}{I_1} = \frac{1}{g_{m1} g_{m2}} \frac{I_2}{V_2} \quad (3.7)$$

เมื่อทำการวิเคราะห์ห้สมการที่ 3.7 ตามวิธีการของเน็ตเวิร์คฟังก์ชัน [11]  $\frac{V_1}{I_1}$  คือค่าอิมพีแดนซ์แทนด้วย  $Z_1(s)$  และ  $\frac{I_2}{V_2}$  คือค่าแอดมิตแทนซ์แทนด้วย  $Y_2(s)$  ตามสมการที่ 3.8

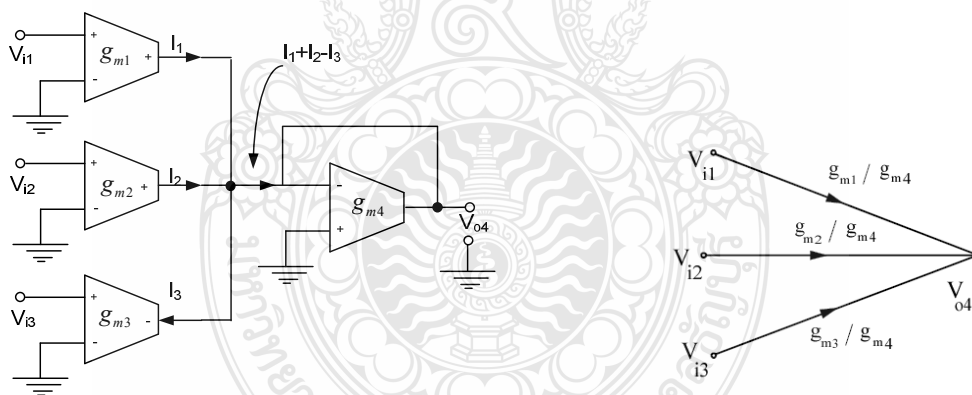
$$Z_1(s) = \frac{1}{g_{m1}g_{m2}} Y_2(s) \quad (3.8)$$

และ  $Z_1(s)$  แทนด้วย  $sL$  และ  $Y_2(s)$  แทนด้วย  $\frac{1}{sC}$  ค่าเสมือนตัวเหนี่ยวนำสามารถหาได้จากสมการที่ 3.10

$$sL = \frac{1}{g_{m1}g_{m2}} \frac{1}{sC} \quad (3.9)$$

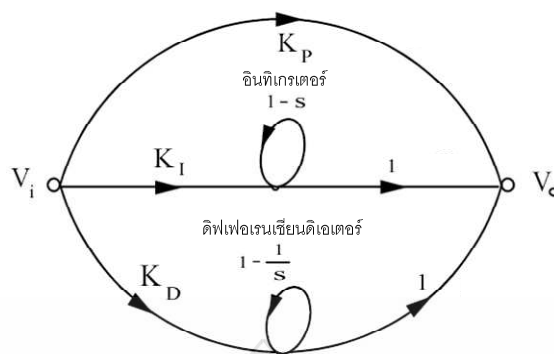
ดังนั้น

$$\frac{sL}{sC} = \frac{1}{g_{m1}g_{m2}}, L = \frac{C}{g_{m1}g_{m2}} \quad (3.10)$$



ภาพที่ 3.6 วงจรรวมสัญญาณ

$$V_{o4} = \frac{g_{m1}}{g_{m4}} V_{i1} + \frac{g_{m2}}{g_{m4}} V_{i2} - \frac{g_{m3}}{g_{m4}} V_{i3} \quad (3.11)$$



ภาพที่ 3.7 ทิศทางการไหลของสัญญาณในวงจร

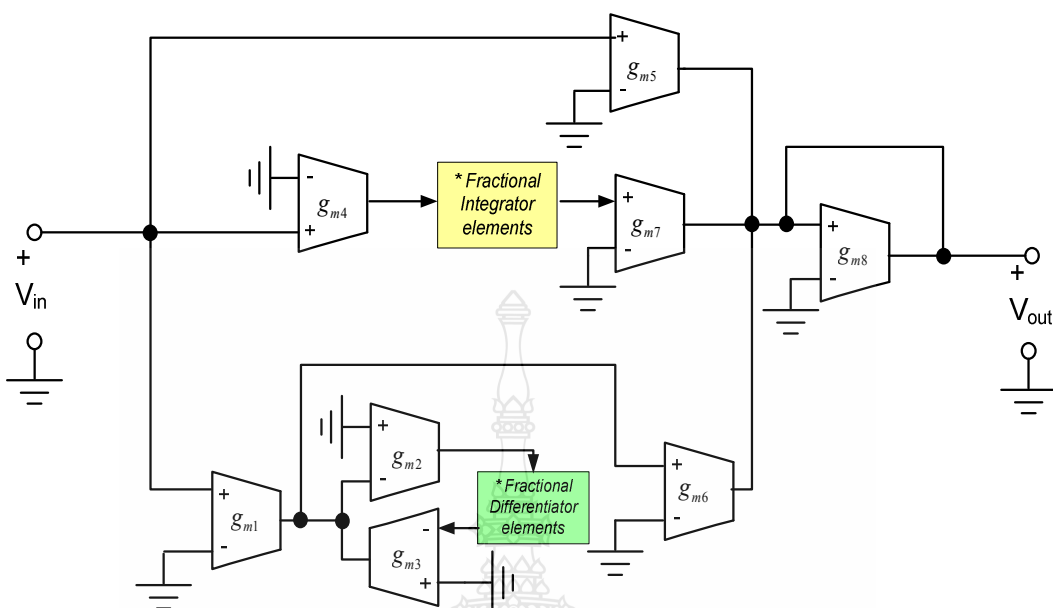
### 3.1.2 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^2D^u$ ) ที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อย

วงจรที่ทำการออกแบบได้เพิ่มส่วนของวงจรที่เป็นฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยสองส่วนคือส่วนที่เป็นฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ และฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียล [13] ตามภาพที่ 3.8 โดยส่วนที่เป็นฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ต่อระหว่าง  $g_{m4}$  และ  $g_{m7}$  ซึ่งทำหน้าที่ช่วยในการลดการเกิดค่าความคลาดเคลื่อนเชิงสถิตย์ และฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียลต่อระหว่าง  $g_{m2}$  และ  $g_{m3}$  ทำหน้าที่ช่วยในการลดการเกิดค่าสภาวะการตอบสนองสูงสุดของสัญญาณที่เกิดจากการขยายสัญญาณของวงจรเพื่อให้ระดับเอาต์พุตของสัญญาณอยู่ในระดับไม่เกินหรือเท่ากับแหล่งจ่ายไฟที่ป้อนแรงดันที่ให้กับวงจร และส่วน  $g_{m5}$  และ  $g_{m8}$  ทำหน้าที่เป็นตัวกำหนดสัดส่วนของวงจรโดยทำการรวมสัญญาณจากส่วนกระทำต่างๆ ในวงจร ซึ่งฟังก์ชันถ่ายโอนของวงจรที่ออกแบบแสดงในสมการที่ 3.12

$$K_P = \frac{g_{m5}}{g_{m8}} \quad (3.12)$$

$$K_I = \frac{g_{m4}g_{m7}}{C_2g_{m8}}$$

$$K_D = \frac{g_{m1}C_1g_{m6}}{g_{m2}g_{m3}g_{m8}}$$

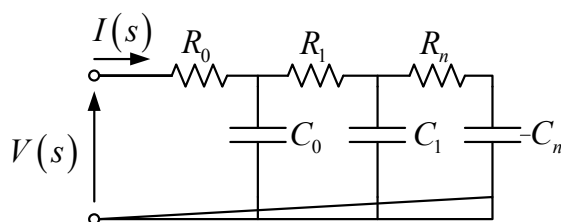


ภาพที่ 3.8 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) ที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อย

1) วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์

วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์เป็นวงจรอินทิเกรเตอร์แบบครึ่งหนึ่งของวงจรอินทิเกรเตอร์แบบทั่วไป [2] คือ  $\frac{1}{s^{0.5}}$  ซึ่งเป็นวงจรลดทอนแบบตัดเศษ (Truncate Transmission Model) โดยที่กระแสไฟฟ้า  $I(s)$  เป็นอินพุต และแรงดันไฟฟ้า  $V(s)$  เป็นเอาต์พุตของวงจร อธิบายในสมการที่ 3.13 และภาพที่ 3.9

$$G(s) = \frac{V(s)}{I(s)} = R_0 + \frac{1}{C_0 + \frac{1}{R_1 + \frac{1}{C_{1s} + \frac{1}{R_2 + \frac{1}{\ddots + \frac{1}{C_{ns} + \frac{1}{R_n}}}}}}} \quad (3.13)$$



ภาพที่ 3.9 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์

ค่าความต้านทาน และค่าตัวเก็บประจุไฟฟ้าในวงจรตามภาพที่ 3.9 สามารถเลือกค่าตามความถี่ที่ต้องการให้ระบบหรือวงจรตอบสนองต่อความถี่นั้นๆ

2) วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์

วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์ [2] เป็นวงจรอนาล็อกที่อาศัยค่าแอดมิตแตนซ์  $Y(s)$  ของตัวความต้านทานในวงจรต่อขนานกับวงจรอนุกรมซึ่งประกอบด้วยตัวความต้านทานและตัวเก็บประจุไฟฟ้าที่ต่อขนานกันไปเรื่อยๆจนได้ค่าแอดมิตแตนซ์  $Y(s)$  ที่ต้องการ อธิบายในสมการที่ 3.14

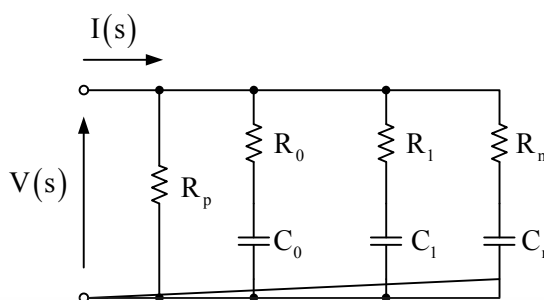
$$R_k = R_0 a^{k-1}, C_k = C_0 b^{k-1}, k = 1, 2, 3, \dots, n \quad (3.14)$$

โดยที่ค่าสัมประสิทธิ์  $a < 1$  และ  $b < 1$  และค่าแอดมิตแตนซ์  $Y(s)$  รวมของวงจรในภาพที่ 3.10 สามารถหาได้จากสมการที่ 3.16

$$Y(s) = Z(s) + \sum_{i=0}^N \left( \frac{sC_i}{1 + sR_i C_i} \right), Z(s) = \frac{1}{R_p} \quad (3.15)$$

ดังนั้น

$$Y(s) = \frac{1}{R_p} + \sum_{i=0}^N \left( \frac{sC_i}{1 + sR_i C_i} \right) \quad (3.16)$$



ภาพที่ 3.10 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียล

ค่าความต้านทานและค่าตัวเก็บประจุไฟฟ้าในวงจรตามภาพที่ 3.10 สามารถเลือกค่าตามความถี่ที่ต้องการให้ระบบหรือวงจรตอบสนองต่อความถี่นั้นๆ และค่า  $R_p$  สามารถหาได้จากสมการที่ 3.17

$$R_p = \frac{1}{G_0}, C_i = K_i R_p = \frac{1}{G_0}, C_i = K_i \quad (3.17)$$

### 3.2 การออกแบบวงจรกรองความถี่ต่ำผ่านโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

วงจรกรองความถี่ต่ำผ่านที่ออกแบบใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นเป็นวงจรที่ออกแบบให้มีผลการตอบสนองทางขนาดคงที่ตลอดช่วงสัญญาณผ่าน (Pass Band) และการตอบสนองความถี่เชิงเฟสให้มีการเลื่อนไปแบบมีค่าคงที่เสมอ โดยฟังก์ชันถ่ายโอนของวงจรสร้างมาจากอัตราส่วนแบบพหุนาม (Polynomials) [6] ตามสมการที่ 3.18

$$T(s) = \frac{N(s)}{D(s)} \quad (3.18)$$

เมื่อ  $N(s)$  เป็นตำแหน่งซีโรของรากสมการ และ  $D(s)$  คือตำแหน่งโพลของรากสมการพหุนามและการออกแบบโดยใช้ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยคือการออกแบบวงจรอินทิเกรเตอร์ที่ลำดับ  $s^\alpha$  เพื่อให้ทำงานร่วมกับวงจรอินทิเกรเตอร์เดิมของวงจรโดยที่ค่า  $\alpha < 1$  วงจรนี้จะทำงานตามทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ซึ่งการออกแบบวงจรที่เป็นส่วนของลำดับเศษส่วนย่อยได้อ้างอิงตามหลักการของ Riemann-Louville [6] ตามสมการที่ 3.19

$$\frac{d^\alpha}{dt^\alpha} f(t) \equiv D^\alpha f(t) = \frac{1}{\Gamma(1-\alpha)} \frac{d}{dt} \int_0^t (t-\tau)^{-\alpha} f(\tau) d\tau, \alpha < 1 \quad (3.19)$$

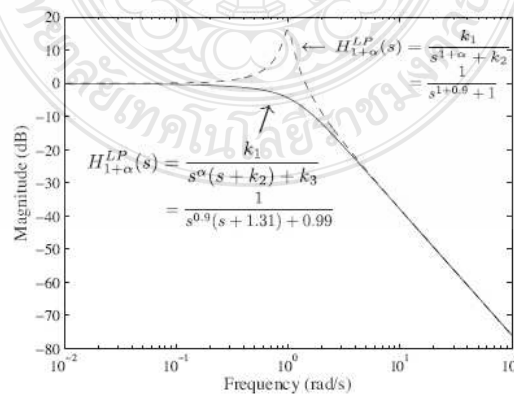
$s^\alpha$  มีผลอย่างไรต่อวงจรกรองความถี่ สามารถอธิบายคุณลักษณะของ  $s^\alpha$  ในสมการที่ 3.20 และภาพที่ 3.11

$$H_{n+\alpha}^{LP}(s) = \frac{k_1}{s^\alpha (s^n + k_2) + k_3} \quad (3.20)$$

กำหนดให้  $s = w^m$  และ  $\alpha = \frac{k}{m}$  จากนั้นแทนค่าลงในเทอมของ  $D(s)$  ที่เป็นตัวกำหนดตำแหน่งโพลของรากสมการโพลีโนเมียลของฟังก์ชันถ่ายโอนของสมการที่ 3.21

$$s^\alpha (s^n + k_2) + k_3 = w^{k.m.n} + k_2 + w^k + k_3 \quad (3.21)$$

จากสมการที่ 3.21 เมื่อ  $k_2$  และ  $k_3$  เป็นตัวแปรของสัมประสิทธิ์คงที่ ส่วน  $k, m$ , และ  $n$  เป็นตัวแปรของลำดับเศษส่วนย่อยที่เป็นตัวกำหนดตำแหน่งของโพล และตำแหน่งโพลที่จะทำให้วงจรกรองความถี่เกิดเสถียรภาพนั้นต้องอยู่ในขอบเขตตามระนาบ  $w$ -plan คือ  $|\theta_w| > \frac{\pi}{2m}$  ดังนั้นถ้าค่า  $n + \left(\frac{k}{m}\right) > 2$  วงจรกรองความถี่จะไม่มีเสถียรภาพและถ้า  $n + \left(\frac{k}{m}\right) < 2$  วงจรกรองความถี่ก็จะเกิดเสถียรภาพตามแผนภูมิของ Riemann และระนาบ  $w$ -plan ดังที่ได้กล่าวมาในบทที่ 2

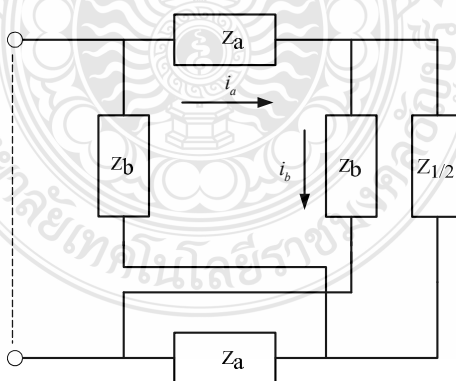


ภาพที่ 3.11 การเปรียบเทียบ LPF ที่อเดอร์  $(n + \alpha)$

จากภาพที่ 3.11 ลำดับของตัวกระทำอินทิเกรเตอร์แบบดั้งเดิมคือ  $\frac{1}{s}$  แต่ฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยที่เข้ามาเพิ่มคือ  $\frac{1}{s^{0.9}}$  เมื่อรวมพจน์ที่เป็นส่วนลำดับของอินทิเกรเตอร์ทั้งสองจะได้เท่ากับ  $\frac{1}{s^{1+0.9}} = \left(\frac{1}{s} \times \frac{1}{s^{0.9}}\right)$  ซึ่งส่วนที่เป็นฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยช่วยในการลดการยกตัวของ การตอบสนองความถี่ทางขนาดในช่วงที่เป็นความถี่คัตออฟ สาเหตุของการยกตัวของ การตอบสนองความถี่ทางขนาดนั้นเกิดจากวงจรกรองความถี่ที่สร้างจากอุปกรณ์ประเภทโอทีเอ็นั้น ในช่วงพาสแบนด์ของความถี่ไปจนถึงช่วงคัตออฟนั้น วงจรอินทิเกรเตอร์ซึ่งส่วนมากจะสร้างมาจากอุปกรณ์ที่เป็นตัวเก็บประจุไฟฟ้า และจะเก็บประจุไฟฟ้าในช่วงที่วงจรมีค่าอิมพีแดนซ์สูงสุด แต่หลังจากเก็บประจุไฟฟ้าเต็มแล้ว เวลาที่คลายประจุนั้นจะเป็นไปได้ช้าเนื่องจากเอาต์พุตของอุปกรณ์ประเภทโอทีเอ็นมีค่าอิมพีแดนซ์สูงสุด จึงทำให้การตอบสนองความถี่ทางขนาดเกิดการยกตัวขึ้น

### 3.2.1 การออกแบบวงจรแฟลคแตนซ์

วงจรแฟลคแตนซ์เป็นส่วนหนึ่งของวงจรกรองความถี่ต่ำที่ทำการออกแบบ [14] เพื่อให้ทำหน้าที่เป็นตัวปรับค่าลำดับ  $(n + \alpha)$  ที่  $\alpha = 0.1, 0.5$  และ  $0.9$  วงจรแฟลคแตนซ์ประกอบด้วยตัวความต้านทาน และตัวเก็บประจุไฟฟ้า ที่ต่อแบบ Tree-Type Infinite Recursive คือการลดค่าอิมพีแดนซ์โดยอาศัยการรวมค่าอิมพีแดนซ์ในส่วนย่อยของวงจร และค่าอิมพีแดนซ์ที่ทำการลดนั้นต้องไม่ทำให้คุณสมบัติการตอบสนองทางความถี่เปลี่ยนไป ค่าอิมพีแดนซ์ของวงจรที่  $\frac{1}{s^{0.5}}$  อธิบายได้ในภาพที่ 3.12 และสมการที่ 3.27



ภาพที่ 3.12 วงจรแฟลคแตนซ์สำหรับ  $s^{0.5}$



วงจรแพดแดนซ์สำหรับ  $s^{0.5}$  ในภาพที่ 3.12 สามารถทำการวิเคราะห์ตามกฎแรงดันและกระแสของเคอร์ชอฟฟ์ ตามสมการดังต่อไปนี้

$$Z_a i_a + Z_b i_b = V_i \quad (3.22)$$

$$(Z_a + Z_{1/2})i_a + (Z_b + Z_{1/2})i_b = V_i \quad (3.23)$$

$$i_a = \frac{(Z_a + Z_{1/2})V_i}{\begin{bmatrix} Z_a + Z_{1/2} & -(Z_{1/2} + Z_b) \\ Z_a & Z_b \end{bmatrix}} \quad (3.24)$$

$$i_b = \frac{(Z_b + Z_{1/2})V_i}{\begin{bmatrix} Z_a + Z_{1/2} & -(Z_{1/2} + Z_b) \\ Z_a & Z_b \end{bmatrix}} \quad (3.25)$$

แทนค่าสมการที่ 3.24 และ 3.25 ลงในสมการที่ 3.23

$$Z_{1/2} = \frac{V_i}{i_a + i_b} = \frac{2Z_a Z_b + Z_{1/2}(Z_a + Z_b)}{2Z_{1/2} + Z_a + Z_b} \quad (3.26)$$

ดังนั้น

$$Z_{1/2} = (Z_a Z_b)^{1/2} \quad (3.27)$$

เมื่อ  $Z_{1/2}$  คือค่าอิมพีแดนซ์ของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยแบบครึ่งหนึ่ง

$Z_a$  คือ ตัวความต้านทานไฟฟ้า

$Z_b$  คือ ตัวเก็บประจุไฟฟ้า

3.2.2 การออกแบบวงจรรองความถี่ต่ำที่ความถี่คัตออฟเท่ากับ 1 เม็กกะเฮิร์ต โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยด้วยอุปกรณ์ประเภทโอทีเอ  
วงจรรองความถี่ต่ำผ่านที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย [15-16] แสดงในภาพที่ 3.13 โดยวงจรประกอบด้วยโอทีเอ (Operational Transconductance Amplifier :

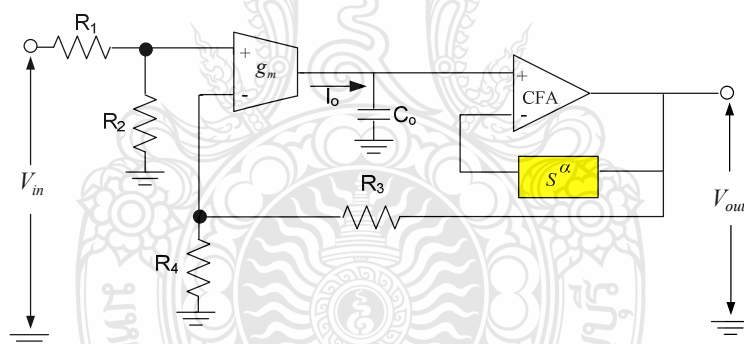
OTA) และซีเอฟเอ (Current Feedback Amplifier : CFA) เพื่อทำหน้าที่เป็นวงจรมัลติโพลและกันไม่ให้เกิดการย้อนกลับของกระแสในช่วงความถี่สูงเกิดการเปลี่ยนแปลงในเวลาชั่วขณะ โดยส่วนที่เป็นวงจรมัลติโพลเป็นการประมาณค่าฟังก์ชัน เพื่อให้ทำงานร่วมกับส่วนที่เป็นฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยที่  $s^\alpha$  และส่วนของซีเอฟเออีกหน้าที่หนึ่งในวงจรทำหน้าที่ช่วยลดค่าอิมพีแดนซ์ทางด้านเอาต์พุตของวงจรเนื่องจากอุปกรณ์ประเภทโอทีเอ็นั้นค่าเอาต์พุตอิมพีแดนซ์มีค่าที่สูงมาก และค่าทรานคอนดักแตนซ์ของโอซีสามารถทำการปรับได้ตามสมการที่ 3.28

$$g_m = h \cdot I_{set} \quad (3.28)$$

เมื่อ  $g_m$  คือ ค่าทรานส์คอนดักแตนซ์

$h$  คือ ค่าคงที่ ที่เป็นสัดส่วนต่ออุณหภูมิ โอซีเบอร์ LT1228 ค่า  $h$  เท่ากับ 10 สำหรับโหลดที่เป็นตัวความต้านทานไฟฟ้า

$I_{set}$  คือ กระแสควบคุมจากภายนอก



ภาพที่ 3.13 วงจรกรองความถี่ต่ำที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

สำหรับส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย  $s^\alpha$  นั้นต่ออยู่กับส่วนที่เป็นอินพุตของสัญญาณลบของซีเอฟเอ ส่วนหนึ่งเพื่อทำหน้าที่เป็นตัวควบคุมอัตราขยายกระแสของวงจรมัลติโพล และทำหน้าที่ป้อนสัญญาณกลับไปที่อินพุตลบของโอทีเอ ซึ่งเป็นอัตราส่วนของการควบคุมแรงดันที่ป้อนกลับไปยังโอทีเอ ซึ่งเป็นตัวกำหนดอัตราขยายกระแสเอาต์พุตของโอทีเอ ( $I_o$ ) จะเป็นไปตามสมการที่ 3.29

$$I_o = g_m (V_{in}^+ - V_{in}^-) \quad (3.29)$$

เมื่อ  $I_o$  คือ กระแสเอาต์พุตของโอทีเอ  
 $g_m$  คือ ค่าทรานคอนดักแตนซ์  
 $V_{in}$  คือ แรงดันอินพุตของโอทีเอ

จากสมการที่ 3.28 ค่า  $h$  เท่ากับ 8.8 [17] แต่ในคู่มือไอซีค่า  $h$  เท่ากับ 10 เพราะวงจรอินทิเกรเตอร์ใช้โหลดเป็นแบบตัวความต้านทานไฟฟ้า แต่วงจรที่ทำการออกแบบนี้วงจรอินทิเกรเตอร์ใช้โหลดเป็นอุปกรณ์ประเภทฟลักแตนซ์ ซึ่งทำหน้าที่เสมือนตัวเก็บประจุไฟฟ้า แต่ค่าอิมพีแดนซ์ต่ำกว่า เพราะฉะนั้น ค่า  $h$  เท่ากับ 8.8

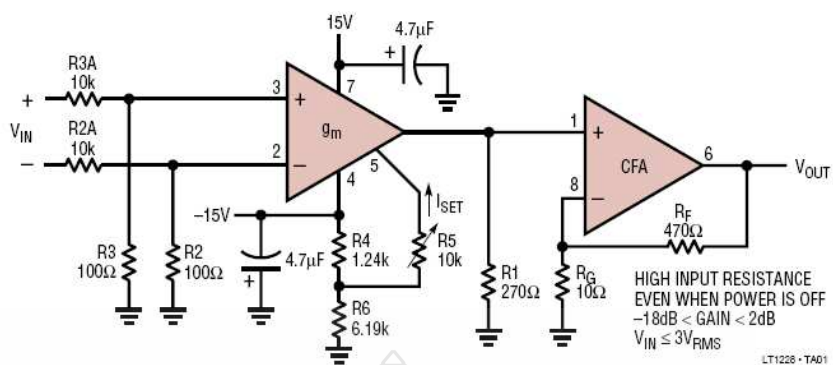
ซีเอฟเออีกหน้าที่อีกอย่างหนึ่งคือเป็นวงจร โวลต์เดจฟอลโลเวอร์ (Voltage follower) แรงดันที่ตกคร่อม  $V_{C_0}$  ทำหน้าที่เป็นแหล่งจ่ายกระแสเพื่อป้อนให้กับอินพุตที่เป็นสัญญาณบวกของซีเอฟเอ และหลังจากที่ซีเอฟเอทำงานร่วมกับฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย เพื่อควบคุมการป้อนกลับแรงดันอินพุตของโอทีเอเพื่อควบคุมอัตราขยายกระแสของโอทีเอตามสมการที่ 3.29 ช่วยให้ช่วงความถี่ที่เป็นพาสแบนด์เป็นไปอย่างราบเรียบและสม่ำเสมอ เมื่อถึงช่วงที่เป็นความถี่คัตออฟ ส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ทำงานร่วมกับซีเอฟเอจะทำหน้าที่ลดค่าอิมพีแดนซ์ด้านเอาต์พุตของวงจรให้ลดต่ำลง เพื่อทำการลดระดับการยกตัวของ การตอบสนองความถี่ทางขนาด

ฟังก์ชันถ่ายโอนของวงจรรองความถี่ต่ำผ่านที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ทำการออกแบบแสดงในสมการที่ 3.30

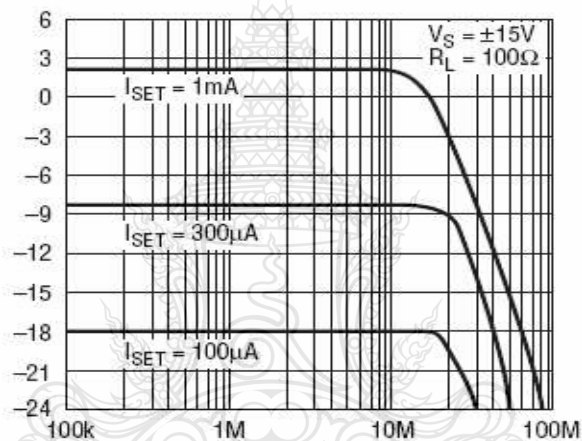
$$T(s) = \frac{V_{out}}{V_{in}} = \frac{\frac{g_m R_2}{C_0 R_1 + R_2}}{s^{(1+\alpha)} \left[ \frac{R_3^2}{R_3 + R_4} \right] + \frac{g_m R_4}{C_0 R_3 + R_4} s + 1} \quad (3.30)$$

### 3.3 อุปกรณ์ประเภทโอทีเอที่ใช้ในการออกแบบวงจร

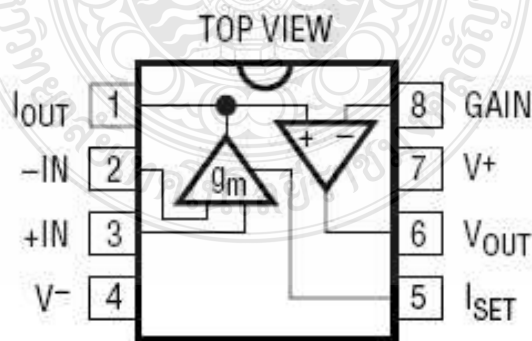
ไอซีที่ใช้ในการออกแบบวงจรใช้เบอร์ LT1228 ของบริษัท Linear Technology [18] เป็นไอซีประเภทโอทีเอสำเร็จรูป 100 เม็กกะเฮิร์ต ซึ่งให้แบนด์วิดท์สูงถึง 75 เม็กกะเฮิร์ต และ  $I_{set}$  สามารถปรับได้ตั้งแต่ 1 ไมโครแอมแปร์ ถึง 1 มิลลิแอมแปร์ ( $\pm 10\%$ )



ภาพที่ 3.14 การใช้งานไอซี LT1228 ในวงจร Differential Input Variable Gain Amp



ภาพที่ 3.15 การตอบสนองความถี่ของไอซี LT1228



ภาพที่ 3.16 ขาการต่อใช้งานของไอซี LT1228

### 3.4 อุปกรณ์ที่ใช้ในการจำลองการทำงานของวงจรที่ทำการออกแบบ

อุปกรณ์ที่ใช้ในการออกแบบวงจร และจำลองการทำงานของวงจรที่ทำการออกแบบ จะเป็นอุปกรณ์ที่ได้มาตรฐานและทดสอบการใช้งาน ได้จริง และอุปกรณ์ทั้งหมดอยู่ในสภาพที่สมบูรณ์ สามารถใช้งานได้ ซึ่งจะมีรายละเอียดของอุปกรณ์ต่างๆ ดังนี้

#### 3.4.1 เครื่องคอมพิวเตอร์พกพา (Laptop Computer) ซึ่งมีรายละเอียดดังต่อไปนี้

- 1) หน่วยประมวลผลกลาง : Intel Pentium (R) Core2 Dual-Core 2.3 GHz
- 2) หน่วยความจำหลัก : 2 GB
- 3) หน่วยบันทึกข้อมูลแบบจานแข็ง : 320 GB

#### 3.4.2 โปรแกรม ORCAD PSPICE เวอร์ชัน 9.2 บนระบบปฏิบัติการ Microsoft Windows XP

#### 3.4.3 โปรแกรม MATLAB เวอร์ชัน R2010a บนระบบปฏิบัติการ Microsoft Windows XP

### 3.5 บทสรุป

วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^2D^{\mu}$ ) ได้มีการปรับปรุงโดยการเพิ่มส่วนที่เป็นวงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์และวงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียล เพื่อเพิ่มการทำงานในส่วนของตัวเองกระทำของวงจรให้ทำงานอีกครั้งหนึ่ง และวงจรรองความถี่ต่ำผ่านที่ออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ได้เพิ่มส่วนที่เป็นลำดับเศษส่วนย่อย คือ  $s^{\alpha}$  เพื่อให้ทำงานร่วมกับวงจรอินทิเกรเตอร์เดิมของวงจร โดยที่ค่า  $\alpha < 1$

## บทที่ 4

### ผลการวิจัย

การวิจัยเรื่องการปรับปรุงค่าหน่วยเวลาและการตอบสนองทางความถี่ของวงจรมอเตอร์ โดยการใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยได้ทำการออกแบบวงจรมอเตอร์สองวงจร วงจรแรกคือวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) เพื่อทำการทดสอบว่าฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อย ให้ผลการตอบสนองแตกต่างจากวงจรแบบดั้งเดิมอย่างไร ส่วนวงจรที่สองคือวงจรกรองความถี่ต่ำที่ความถี่คัตออฟ 1 เมกกะเฮิร์ตซ์เพื่อทำการทดสอบว่าฟังก์ชันถ่ายโอนแบบลำดับเศษส่วนย่อยให้ผลการตอบสนองต่อความถี่สูงเป็นอย่างไร โดยในการวิจัยมีการจำลองการทำงานของวงจรที่เป็นแบบดั้งเดิม และวงจรที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยมาทำการออกแบบวงจร ซึ่งผลการดำเนินการวิจัยและการจำลองการทำงานของวงจรทั้งสองมีดังต่อไปนี้

#### 4.1 ผลการจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม

จากการทดลองจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิมโดยใช้ไอซีเบอร์ LT1228 [13] ในภาพที่ 4.1 วงจรที่ทำการออกแบบใช้ไอซีทั้งหมด 8 ตัวและตัวเก็บประจุไฟฟ้า  $C_1$  ซึ่งเป็นส่วนของดิฟเฟอเรนเชียลเอเตอร์ และ  $C_2$  เป็นส่วนของอินทิเกรเตอร์ ของวงจรเพื่อทำหน้าที่ปรับค่าการหน่วงเวลาของสัญญาณเอาต์พุตให้ได้ค่าการหน่วงเวลาน้อยที่สุด ลดการเกิดการตอบสนองสูงสุด (Overshoot) ของสัญญาณและลดการเกิดสภาวะค่าความคลาดเคลื่อนเชิงสถิตย์ (Steady Stated Error) ฟังก์ชันถ่ายโอนของวงจร แสดงในสมการที่ 4.1

$$T(s) = \frac{V_{out}(s)}{V_{in}(s)} = K_p + \frac{K_I}{s} + sK_D \quad (4.1)$$

เมื่อ  $K_p$  คือ ค่าอัตราขยายสัดส่วนของวงจร (Proportional gain)

$K_I$  คือ ค่าอัตราขยายปริพันธ์ของวงจร (Integral Gain)

$K_D$  คือ ค่าอัตราขยายอนุพันธ์ของวงจร (Derivative Gain)

4.1.1 ค่าอัตราขยายสัดส่วน (Proportional gain) สามารถหาได้จากค่าทรานส์คอนดักแตนซ์ที่ทำหน้าที่เป็นตัวรวมสัญญาณตัวกระทำของวงจรรอขยายในสมการที่ 4.2

$$K_P = \frac{g_{m5}}{g_{m8}} = \frac{2mA/V}{0.2mA/V} = 10 \quad (4.2)$$

4.1.2 ค่าอัตราขยายปริพันธ์ (Integral Gain) สามารถหาได้จากค่าทรานส์คอนดักแตนซ์และตัวเก็บประจุไฟฟ้าในส่วนของปริพันธ์ของวงจรรอขยายในสมการที่ 4.3

$$K_I = \frac{g_{m4}g_{m7}}{C_2g_{m8}} = \frac{0.2mA/V \times 0.2mA/V}{1 \times 10^{-6} \times 0.2mA/V} = 2 \quad (4.3)$$

4.1.3 ค่าอัตราขยายอนุพันธ์ (Derivative Gain) สามารถหาได้จากค่าทรานส์คอนดักแตนซ์และตัวเก็บประจุไฟฟ้าในส่วนของอนุพันธ์ของวงจรรอขยายในสมการที่ 4.4

$$K_D = \frac{g_{m1}C_1g_{m6}}{g_{m2}g_{m3}g_{m8}} = \frac{2mA/V \times 1 \times 10^{-6} \times 2mA/V}{0.2mA/V \times 0.2mA/V \times 0.2mA/V} = 5 \quad (4.4)$$

โดยวงจรที่ทำการออกแบบมีการป้อนแรงดันไฟฟ้าให้กับวงจร  $\pm 5$  โวลต์ และกำหนดค่าทรานส์คอนดักแตนซ์ ( $g_m$ ) ของโอทีเอทั้งหมดในวงจรตามสมการที่ 4.5

$$g_m = 10 \times I_{set} \quad (4.5)$$

จากสมการที่ 4.5 ค่าทรานส์คอนดักแตนซ์ ( $g_m$ ) ของโอทีเอถูกกำหนดโดยการตั้งค่า  $I_{set}$  ที่จะป้อนให้กับโอทีเอ  $g_{m1}$ ,  $g_{m2}$ ,  $g_{m3}$ ,  $g_{m4}$ ,  $g_{m5}$ ,  $g_{m6}$ ,  $g_{m7}$  และ  $g_{m8}$  ตามวงจรในภาพที่ 4.1 ซึ่งค่า  $I_{set}$  กำหนดดังต่อไปนี้

เมื่อ  $g_{m1} = g_{m5} = g_{m6} = 2 mA/V$

ดังนั้น  $I_{set} = \frac{gm}{10} = \frac{2mA}{10} = 200 \mu A$

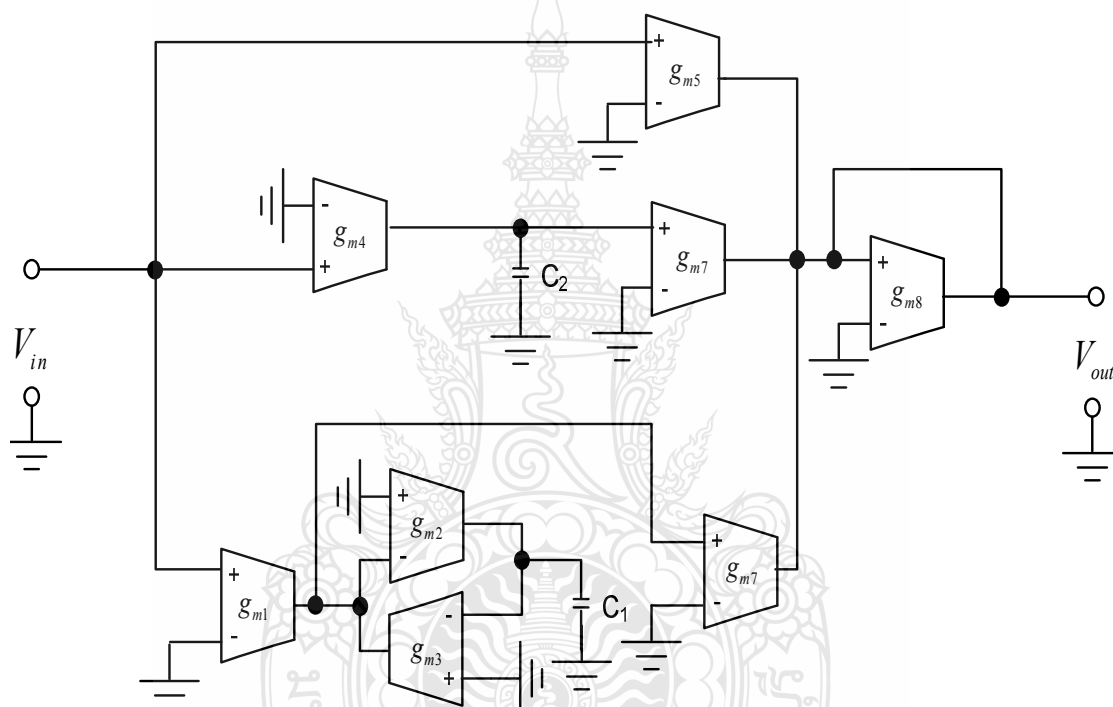
เมื่อ

$$g_{m2} = g_{m3} = g_{m4} = g_{m7} = g_{m8} = 0.2 \text{ mA/V}$$

ดังนั้น

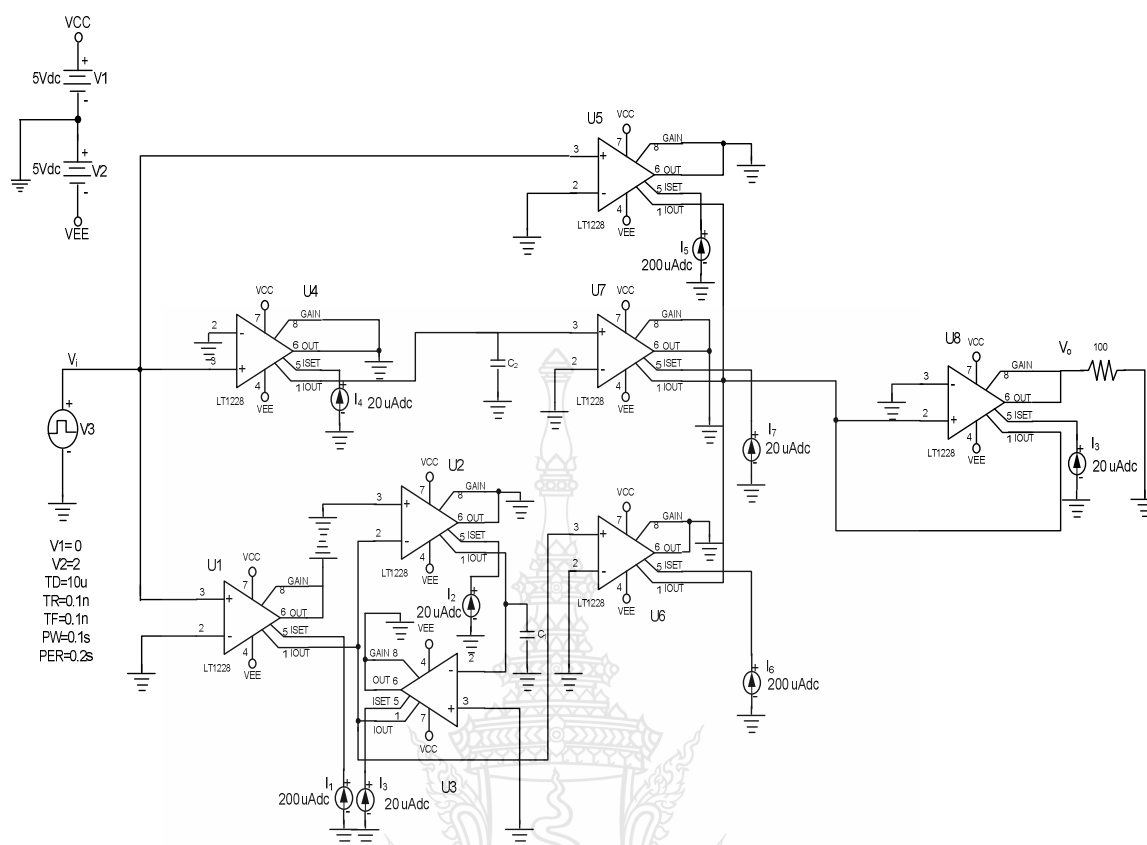
$$I_{set} = \frac{gm}{10} = \frac{0.2 \text{ mA}}{10} = 20 \mu\text{A}$$

สรุปค่า  $I_{set}$  ของ  $g_{m1}$ ,  $g_{m2}$  และ  $g_{m5}$  มีค่าเท่ากับ 200 ไมโครแอมแปร์และค่า  $I_{set}$  ของ  $g_{m2}$ ,  $g_{m3}$ ,  $g_{m4}$ ,  $g_{m7}$  และ  $g_{m8}$  มีค่าเท่ากับ 20 ไมโครแอมแปร์



ภาพที่ 4.1 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม



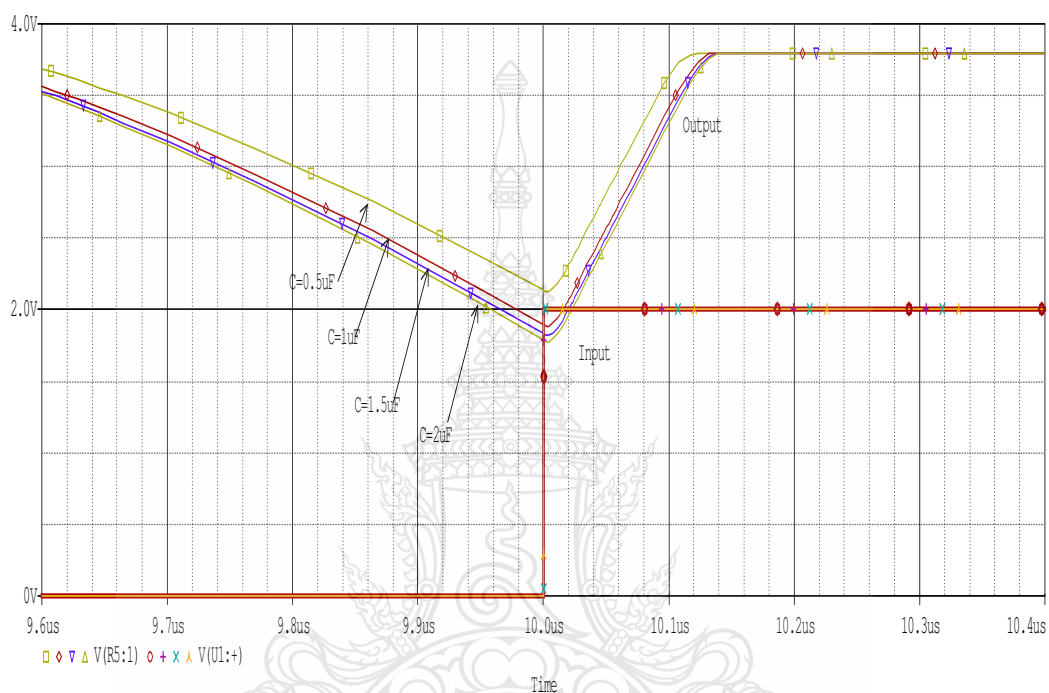


ภาพที่ 4.2 การจำลองการทำงานของวงจรแบบดั้งเดิม โดยใช้โปรแกรม ORCAD PSPICE

อินพุตที่ป้อนให้กับวงจรเป็นแบบขั้นบันได (Unit Step) โดยมีเงื่อนไขคือ แรงดันเริ่มต้นเท่ากับ 0 โวลต์ แรงดันสุดท้ายเท่ากับ 2 โวลต์ ช่วงเวลาการหน่วงของสัญญาณเท่ากับ  $10 \times 10^{-6}$  วินาที เวลาที่ไต่ขึ้นของสัญญาณเท่ากับ  $1 \times 10^{-9}$  วินาที เวลาที่ตกลงของสัญญาณเท่ากับ  $1 \times 10^{-9}$  วินาที ความกว้างของสัญญาณเท่ากับ 0.1 วินาที และคาบเวลาของสัญญาณเท่ากับ 0.2 วินาที

ทำการทดสอบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิมโดยใช้โปรแกรม ORCAD PSPICE จำลองการทำงานของวงจร วัดสัญญาณอินพุตเทียบกับสัญญาณเอาต์พุต โดยค่าตัวเก็บประจุไฟฟ้าในวงจรตามภาพที่ 4.1  $C_1$  และ  $C_2$  มีการปรับค่าจาก 0.5 ไมโครฟารัด 1 ไมโครฟารัด 1.5 ไมโครฟารัด และ 2 ไมโครฟารัด อินพุตที่ป้อนให้กับวงจรไม่มีการเปลี่ยนแปลง เพื่อทำการเปรียบเทียบว่าค่าพารามิเตอร์ที่เกิดจากการปรับค่าของตัวเก็บประจุไฟฟ้าที่ทำหน้าที่เป็นส่วนปริพันธ์และอนุพันธ์ในวงจรการควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) ค่าตัวเก็บประจุไฟฟ้าค่าใดที่ให้ผลต่อการตอบสนองของวงจรที่ดีที่สุดและเกิดการหน่วงเวลาที่เอาต์พุตน้อยที่สุด ค่าการตอบสนองสูงสุดของการขยายสัญญาณมีค่าต่ำสุด และลดการเกิดสภาวะค่าความคลาดเคลื่อนเชิงสถิติของ

สัญญาณอินพุตและเอาต์พุต จากผลการจำลองการทำงานของวงจพบว่าค่าตัวเก็บประจุไฟฟ้าที่ค่า 1 ไมโครฟารัด ทั้ง  $C_1$  และ  $C_2$  มีผลการตอบสนองที่ดีและมีการหน่วงเวลาน้อยกว่าค่าตัวเก็บประจุไฟฟ้าค่าอื่นๆ จากลักษณะของสัญญาณเอาต์พุตตามภาพที่ 4.3 ซึ่งเป็นไปตามทฤษฎีของการควบคุมแบบ แบบ สัดส่วน-ปริพันธ์-อนุพันธ์ (PID Controller)



ภาพที่ 4.3 สัญญาณอินพุตและเอาต์พุตของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม

#### 4.2 ผลการจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

วงจรที่ทำการออกแบบเพื่อปรับปรุงการหน่วงเวลา [13] มีการออกแบบเพิ่มเติมสองส่วนคือส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์แสดงในภาพที่ 4.5 และส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียลแสดงในภาพที่ 4.6 เพื่อให้การกระทำในส่วนปริพันธ์และอนุพันธ์ให้ทำงานเพิ่มอีกครั้งหนึ่ง การประมาณค่าฟังก์ชันถ่ายโอนของวงจรแสดงในสมการที่ 4.6

$$T(s) = \frac{V_o(s)}{V_i(s)} = 10 + \frac{2}{s} \left[ \frac{1}{s^{0.5}} \right] + 5s \left[ s^{0.5} \right] \quad (4.6)$$

ค่าประมาณของลำดับเศษส่วนย่อยอินทิเกรเตอร์  $\frac{1}{s^{0.5}}$  และลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์  $s^{0.5}$  [2] ที่เพิ่มเข้าไปในวงจรที่ทำการออกแบบสามารถหาได้จากสมการที่ 4.7

$$T(s) = \frac{V_o(s)}{V_i(s)} = K_p + \left\{ K_I \frac{\prod_{i=0}^{N_I-1} [1 + (s/(Z_{I_i}))]}{\prod_{i=0}^{N_I} [1 + (s/(P_{I_i}))]} \right\} + \left\{ K_D \frac{\prod_{i=0}^{N_D} [1 + (s/(Z_{D_i}))]}{\prod_{i=0}^{N_D} [1 + (s/(P_{D_i}))]} \right\} \quad (4.7)$$

เมื่อ  $P_I$  คือ โพลของลำดับเศษส่วนย่อยอินทิเกรเตอร์

$Z_I$  คือ ซีโรของลำดับเศษส่วนย่อยอินทิเกรเตอร์

$P_D$  คือ โพลของลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์

$Z_D$  คือ ซีโรของลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์

$N_D$  คือ จำนวนโพลของลำดับเศษส่วนย่อยดิฟเฟอเรนติเอเตอร์

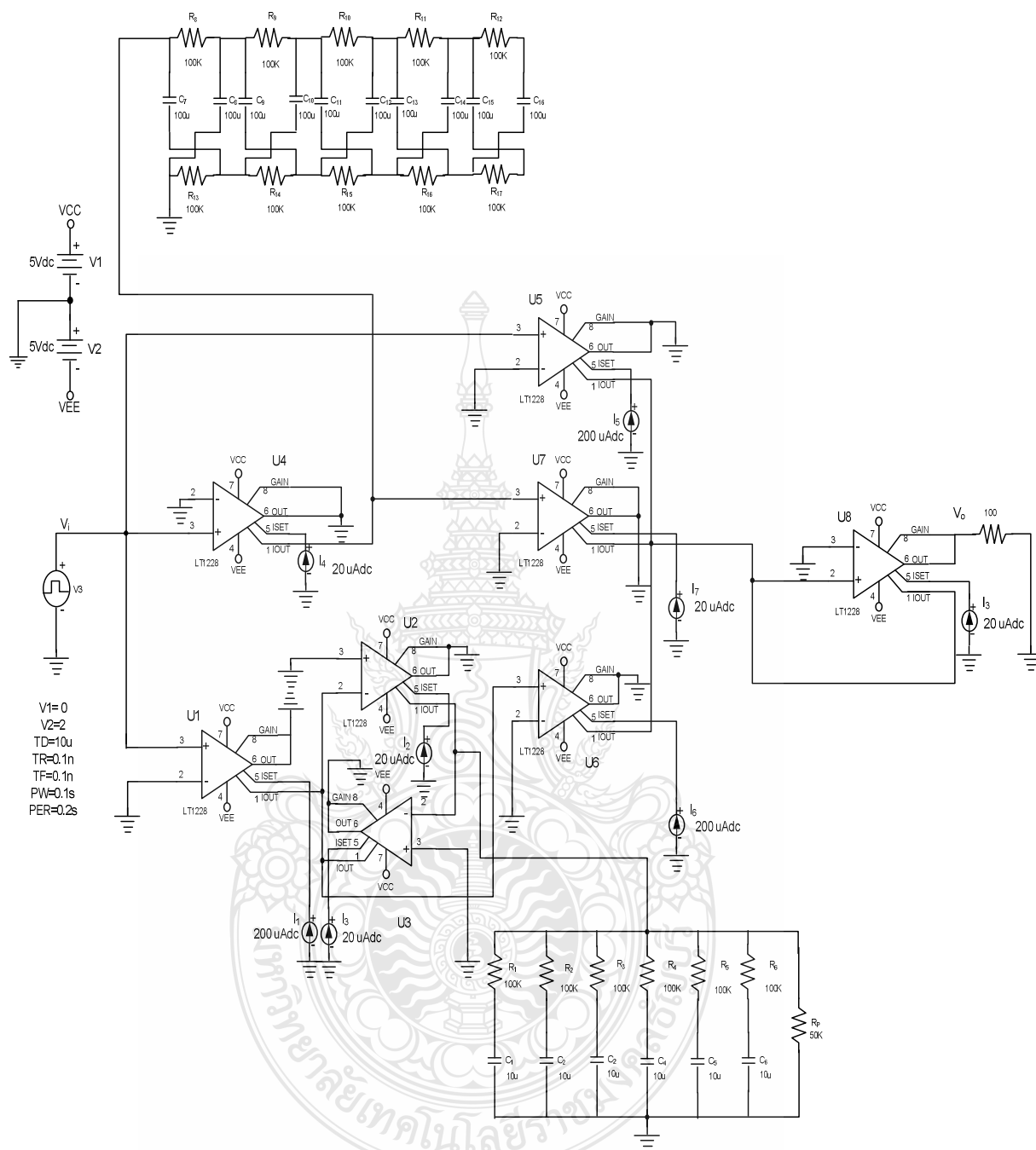
$N_I$  คือ จำนวนซีโรของลำดับเศษส่วนย่อยอินทิเกรเตอร์

ค่าโพลและซีโรของลำดับเศษส่วนย่อยอินทิเกรเตอร์และดิฟเฟอเรนติเอเตอร์ที่ทำการแทนลงในฟังก์ชันถ่ายโอนเพื่อทำการประมาณค่าฟังก์ชันมีค่าดังนี้ [2]

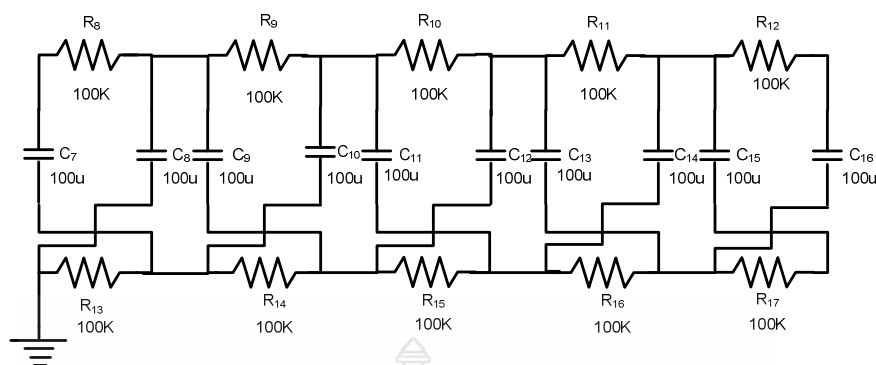
$$T(s) = \frac{V_o(s)}{V_i(s)} = 10 + \left[ \frac{2}{s} \right] \times \left\{ 415.9188 \times \frac{\prod_{i=0}^{14} [1 + (s/(4.6060) \times 10^{-4} (2.9936)^i)]}{\prod_{i=0}^{15} [1 + (s/(2.1379) \times 10^{-4} (2.9936)^i)]} \right\} \\ + [5s] \times \left\{ 0.0024 \times \frac{\prod_{i=0}^{15} [1 + (s/(2.1379) \times 10^{-4} (2.9936)^i)]}{\prod_{i=0}^{15} [1 + (s/(4.6060) \times 10^{-4} (2.9936)^i)]} \right\}$$

ค่าอัตราการขยายสัดส่วนของวงจรหรือ ค่า  $K_p$  (Proportional Gain) ค่าอัตราการขยายปริพันธ์หรือค่า  $K_I$  (Integral Gain) และค่าอัตราการขยายอนุพันธ์หรือค่า  $K_D$  (Derivative Gain) ทั้งสามค่าใช้ค่าเดียวกันกับที่ทำการทดสอบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม

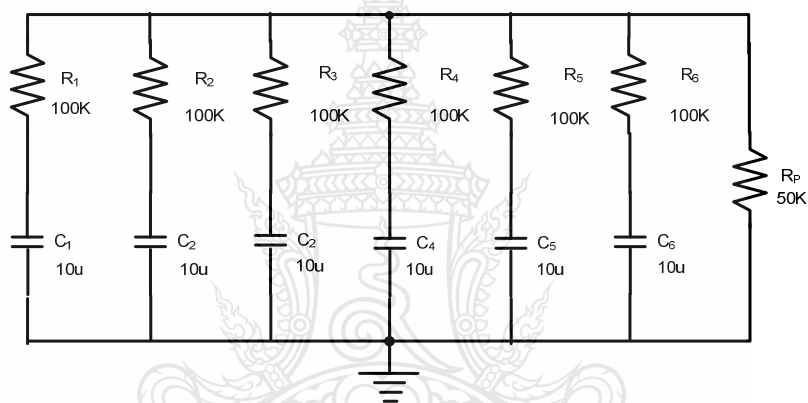
ค่าทรานส์คอนดักแตนซ์ ( $g_m$ ) ของโอทีเอถูกกำหนดโดยการตั้งค่า  $I_{set}$  ที่จะป้อนให้กับโอทีเอ  $g_{m1}, g_{m2}, g_{m3}, g_{m4}, g_{m5}, g_{m6}, g_{m7}$  และ  $g_{m8}$  ซึ่งค่า  $I_{set}$  กำหนดเหมือนกันกับการทดสอบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิม



ภาพที่ 4.4 วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ที่ปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ( $PI^2 D^\mu$ )



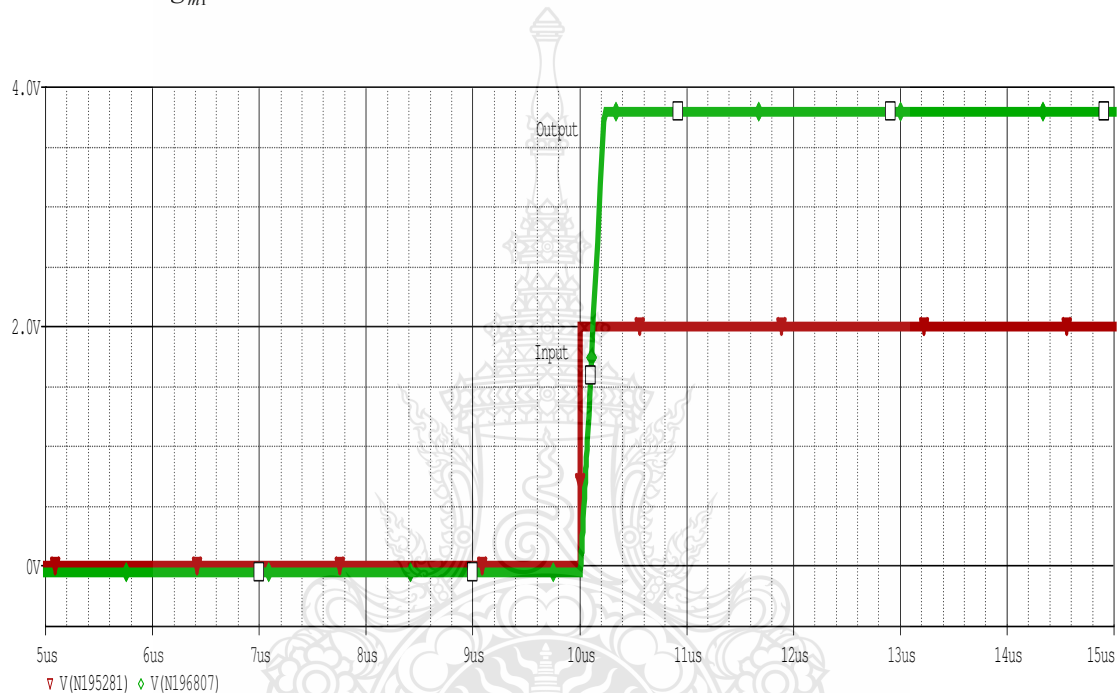
ภาพที่ 4.5 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์



ภาพที่ 4.6 วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียล

ส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ประกอบด้วยตัวความต้านทาน  $R_8, R_9, R_{10}, R_{11}, R_{12}, R_{13}, R_{14}, R_{15}, R_{16}$  และ  $R_{17}$  ตัวความต้านทานทั้งหมดใช้ค่า 100 กิโลโอห์ม และตัวเก็บประจุไฟฟ้า  $C_7, C_8, C_9, C_{10}, C_{11}, C_{12}, C_{13}, C_{14}, C_{15}$  และ  $C_{16}$  ตัวเก็บประจุไฟฟ้าทั้งหมดใช้ค่า 100 ไมโครฟารัด ซึ่งต่อกันในลักษณะตามภาพที่ 4.5 เรียกว่าโครงข่ายระแนงแบบขั้นบันได (Domino Ladder Lattice Networks) ซึ่งอินพุตของวงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์มาจากกระแสเอาต์พุตของ  $g_{m4}$  และค่าอิมพีแดนซ์ของวงจรเกิดจากแรงดันเอาต์พุตวงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ส่วนด้วยอินพุตกระแสที่ป้อนให้วงจรฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ตามสมการที่ 3.8 และเอาต์พุตที่เกิดจากการกระทำของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยอินทิเกรเตอร์ จะเป็นแหล่งจ่ายกระแสให้กับอินพุตของ  $g_{m7}$  ต่อไป

ส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยดิฟเฟอเรนเชียลประกอบด้วยตัวความต้านทาน  $R_1, R_2, R_3, R_4, R_5, R_6$  และ  $R_p$  ตัวความต้านทาน  $R_1$  ถึง  $R_6$  ใช้ค่า 100 กิโลโอห์ม ส่วนค่า  $R_p$  ค่าเท่ากับ 50 กิโลโอห์ม และตัวเก็บประจุไฟฟ้า  $C_1, C_2, C_3, C_4, C_5$  และ  $C_6$  ตัวเก็บประจุไฟฟ้าทั้งหมดใช้ค่า 10 ไมโครฟารัด ซึ่งต่อกันในลักษณะตามภาพที่ 4.6 เพื่อให้ได้ค่าแอดมิตแดนซ์  $Y(s)$  ตามสมการที่ 3.9 ซึ่งต่อระหว่าง  $g_{m2}$  และ  $g_{m3}$  โดยที่  $g_{m2}$  และ  $g_{m3}$  ทำหน้าที่เสมือนตัวเหนี่ยวนำไฟฟ้าที่ต่อกับ  $g_{m1}$  ซึ่งเป็นวงจรถดิฟเฟอเรนเชียลเชิงอนุพันธ์



ภาพที่ 4.7 สัญญาณอินพุตและเอาต์พุตของวงจรถควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^1 D^m$ ) ที่ปรับปรุงการหน่วงเวลาโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

จากภาพที่ 4.7 แสดงแทนสัญญาณอินพุตที่ป้อนแบบขั้นบันได (Unit Step) โดยมีเงื่อนไขเดียวกันกับการทดสอบวงจรถควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ แบบดั้งเดิมคือ แรงดันเริ่มต้นเท่ากับ 0 โวลต์ แรงดันสุดท้ายเท่ากับ 2 โวลต์ ช่วงเวลาการหน่วงของสัญญาณเท่ากับ  $10 \times 10^{-6}$  วินาที เวลาที่ไต่ขึ้นของสัญญาณเท่ากับ  $1 \times 10^{-9}$  วินาที เวลาที่ตกลงของสัญญาณเท่ากับ  $1 \times 10^{-9}$  วินาที ความกว้างของสัญญาณเท่ากับ 0.1 วินาที และคาบเวลาของสัญญาณเท่ากับ 0.2 วินาที สีเขียวแทนสัญญาณเอาต์พุตของวงจรที่ปรับปรุงประสิทธิภาพการตอบสนองของวงจรโดยใช้ฟังก์ชันถ่ายโอนลำดับเศษส่วนย่อย พบว่าเมื่อเทียบสถานะเริ่มต้นวงจรเริ่มทำงานที่สถานะแรงดันเริ่มต้นคือ 0 โวลต์

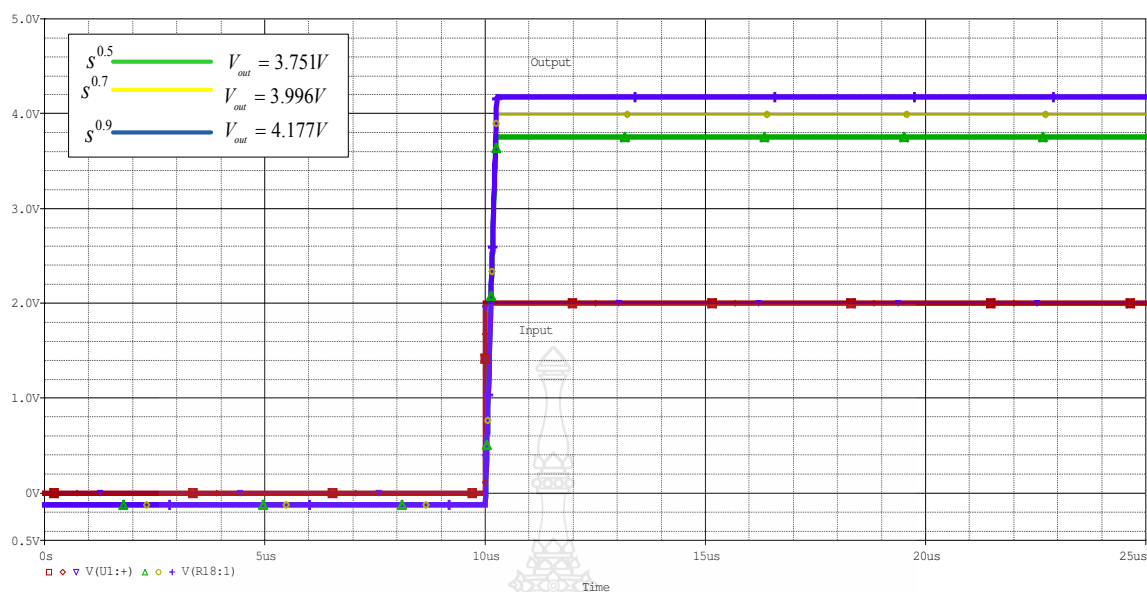
เมื่อพิจารณาช่วงเวลาการหน่วงของสัญญาณที่เริ่มจาก 0 วินาทีจนถึงช่วงการสิ้นสุดการหน่วงเวลาที่  $10 \times 10^{-6}$  วินาที วงจรจะเริ่มทำงานโดยขยายขนาดของแรงดันไฟฟ้าของสัญญาณอินพุตจาก 2 โวลต์ เป็น 3.751 โวลต์ ลักษณะของสัญญาณเอาต์พุตจะเห็นความแตกต่างจากสัญญาณเอาต์พุตในภาพที่ 4.4 มากในเรื่องการหน่วงเวลาที่ใช้ในการยกระดับแรงดันไฟฟ้าของอินพุตเพื่อทำการขยาย หรือที่เรียกว่าสถานะค่าความคลาดเคลื่อนเชิงสถิติ และระดับแรงดันไฟฟ้าที่ถูกขยายแล้วยังอยู่ในระดับน้อยกว่า อัตราการขยายแรงดันของอินพุตที่ทำการขยายคือ 4 โวลต์ สถานะการตอบสนองสูงสุดและลักษณะสัญญาณเอาต์พุตที่ได้เป็นแบบราบเรียบและไม่มีกรรกตัวของสัญญาณในช่วงที่เป็นเวลาที่ไต่ขึ้นของสัญญาณ ทั้งหมดสอดคล้องกับทฤษฎีการควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ (PID) และ ทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

#### 4.3 การจำลองการทำงานของวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) โดยการเปลี่ยนลำดับเศษส่วนย่อยเพื่อปรับปรุงสัญญาณเอาต์พุต

จากผลการจำลองการทำงานของวงจรที่มีการปรับปรุงการหน่วงเวลาโดยใช้ฟังก์ชัน ถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นพบว่าวงจรมีการตอบสนองที่เร็วกว่าวงจรแบบดั้งเดิมเมื่อเปรียบเทียบสถานะค่าความคลาดเคลื่อนเชิงสถิติ แต่ระดับของสัญญาณเอาต์พุตยังต่ำกว่าระดับการขยายของวงจรที่ออกแบบคือ 4 โวลต์ และลำดับเศษส่วนย่อยของตัวกระทำปริพันธ์และอนุพันธ์ที่เพิ่มเข้าไปในวงจรมีลำดับเท่ากับ 0.5 แต่ทฤษฎีของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นค่าของตัวกระทำที่เพิ่มเข้าไปในระบบสามารถเพิ่มได้ถึง 0.9 แต่ต้องน้อยกว่าหนึ่งตามสมการที่ 4.8

$$T(s) = \frac{V_o(s)}{V_i(s)} = 10 + \frac{2}{s} \left[ \frac{1}{s^\lambda} \right] + 5s [s^\mu], \lambda < 1, \mu < 1 \quad (4.8)$$

จึงทำการทดลองปรับเปลี่ยนลำดับเศษส่วนย่อยของตัวกระทำส่วนของปริพันธ์และอนุพันธ์จาก 0.5 เป็น 0.7 และ 0.9 ตามลำดับ และอินพุตที่ป้อนให้กับวงจรมีเงื่อนไขเดียวกันกับการทดสอบวงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^\lambda D^\mu$ ) ที่ลำดับเศษส่วนย่อย 0.5 เหตุผลที่เลือกลำดับเศษส่วนย่อยที่มีค่ามากกว่า 0.5 เพราะจากผลการจำลองการทำงานของวงจรที่กล่าวมาข้างต้นระดับของสัญญาณเอาต์พุตมีค่าเข้าใกล้ค่าระดับการขยายของวงจรที่ออกแบบคือ 4 โวลต์ แต่ต้องการเพิ่มความเร็วในการตอบสนองของวงจรให้มีค่าเข้าใกล้ระดับสัญญาณที่ต้องการขยายให้มากที่สุด โดยไม่มีการเพิ่มอุปกรณ์ประเภทแอกทิฟ เข้าไปช่วยในการยกระดับสัญญาณ



ภาพที่ 4.8 สัญญาณอินพุตและเอาต์พุตของการเปลี่ยนลำดับเศษส่วนย่อย

จากภาพที่ 4.8 เส้นสีแดงแทนสัญญาณอินพุตของวงจร เส้นสีเขียวแทนสัญญาณเอาต์พุตของลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์ที่ 0.5 เส้นสีเหลืองแทนสัญญาณเอาต์พุตของการเปลี่ยนลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์ที่ 0.7 และสีน้ำเงินแทนสัญญาณเอาต์พุตของการเปลี่ยนลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์ที่ 0.9 ผลการจำลองการทำงานของวงจรที่มีการเปลี่ยนลำดับเศษส่วนย่อยที่ 0.7 ให้ผลการตอบสนองที่ดีคือสัญญาณเอาต์พุตมีค่าระดับแรงดันไฟฟ้าที่เข้าใกล้ระดับการขยายของวงจรที่ออกแบบมากที่สุดคือ 3.996 โวลต์ ส่วนลำดับเศษส่วนย่อยที่ 0.9 นั้นให้ผลการตอบสนองที่เป็นสภาวะการตอบสนองสูงสุดคือ 4.177 โวลต์ ซึ่งเกินกว่าระดับอัตราขยายแรงดันของอินพุตที่ทำการขยายคือ 4 โวลต์

1) การเปลี่ยนลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์ที่ 0.7 นั้น จากการทดลองค่าตัวความต้านทานและตัวเก็บประจุไฟฟ้ามีค่าดังนี้  $R_1$  ถึง  $R_{17}$  ใช้ค่าเท่ากับ 150 กิโลโอห์ม ส่วนค่า  $R_p$  ค่าเท่ากับ 75 กิโลโอห์ม และค่าตัวเก็บประจุไฟฟ้า  $C_1$  ถึง  $C_6$  ใช้ค่า 15 ไมโครฟารัด และ  $C_7$  ถึง  $C_{16}$  ใช้ค่า 150 ไมโครฟารัด

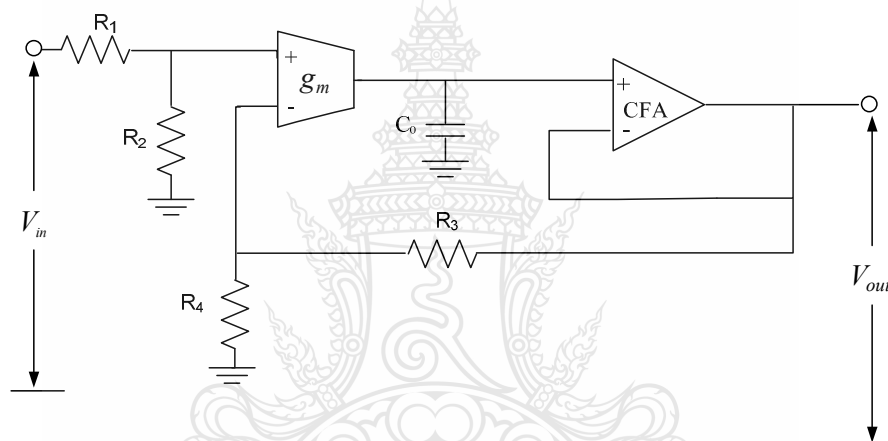
2) การเปลี่ยนลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์ที่ 0.9 นั้น จากการทดลองค่าตัวความต้านทานและตัวเก็บประจุไฟฟ้ามีค่าดังนี้  $R_1$  ถึง  $R_{17}$  ใช้ค่าเท่ากับ 180 กิโลโอห์ม ส่วนค่า  $R_p$  ค่าเท่ากับ 90 กิโลโอห์ม และค่าตัวเก็บประจุไฟฟ้า  $C_1$  ถึง  $C_6$  ใช้ค่า 18 ไมโครฟารัด และ  $C_7$  ถึง  $C_{16}$  ใช้ค่า 180 ไมโครฟารัด



#### 4.4 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำที่ความถี่คัตออฟ 1 เมกกะเฮิรตซ์ แบบดั้งเดิม

วงจรกรองความถี่ต่ำที่ทำการทดลองก่อนทำการปรับปรุงโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย [14] โดยโครงสร้างของวงจรแสดงในภาพที่ 4.9 ฟังก์ชันถ่ายโอนแสดงในสมการที่ 4.9

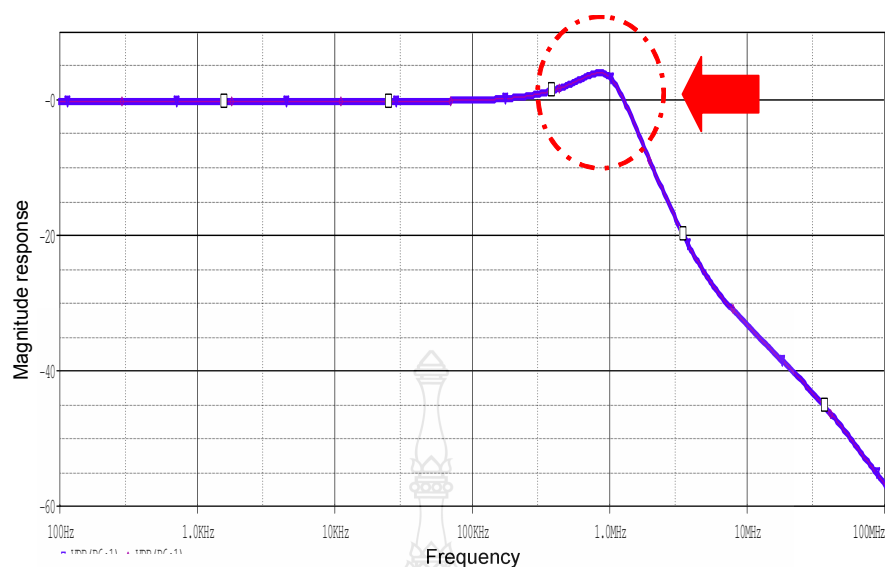
$$T(s) = \frac{V_{out}}{V_{in}} = \frac{\frac{g_m R_2}{C_0 R_1 + R_2}}{\left( \left[ \frac{R_3^2}{R_3 + R_4} \right] + \frac{g_m R_4}{C_0 R_3 + R_4} \right) s + 1} \quad (4.9)$$



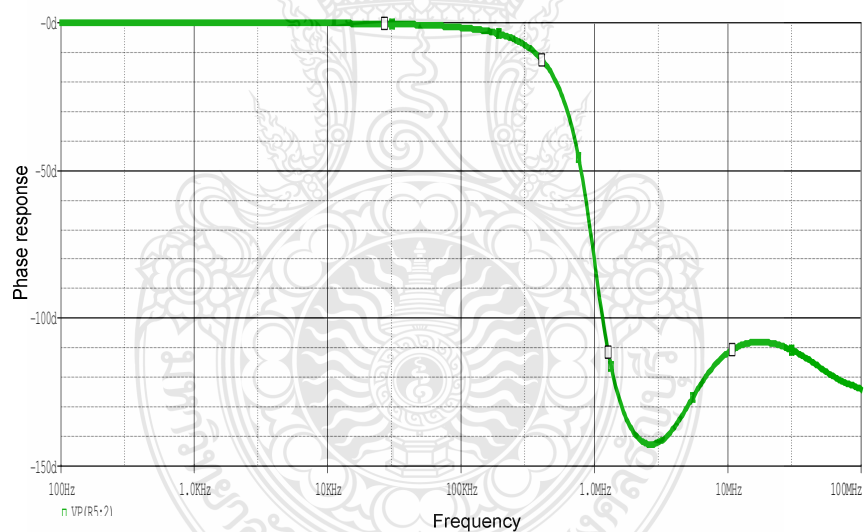
ภาพที่ 4.9 วงจรกรองความถี่ต่ำแบบดั้งเดิม

ในตัวไอซีเบอร์ LT1228 ประกอบด้วยส่วนที่ทำหน้าที่เป็นวงจโรทีโอ และส่วนที่เป็นวงจรถีเอฟเอ (CFA: Current Feedback Amplifier) และวงจรรอกแบบให้มีความถี่คัตออฟ ( $f_c$ ) เท่ากับ 1 เมกกะเฮิรตซ์ และตัวความต้านทาน  $R_1$  และ  $R_3$  ค่าเท่ากับ 3.3 กิโลโอห์ม และ  $R_2$  และ  $R_4$  เท่ากับ 200 โอห์ม ค่าตัวเก็บประจุไฟฟ้า  $C_0$  เท่ากับ 47 พิโคฟารัด กระแส  $I_{set}$  ที่ป้อนสำหรับให้กับโอทีโอ เท่ากับ 1.14 มิลลิแอมแปร์ ตัวความต้านทาน  $R_1$  และ  $R_2$  ทำหน้าที่ช่วยในเรื่องอิมพีแดนซ์อินพุตของโอทีโอและเป็นวงจรแบ่งแรงดันอินพุตของโอทีโอ แรงดันที่ป้อนให้วงจรเท่ากับ  $\pm 5$  โวลต์

เมื่อพิจารณาเอาต์พุตอิมพีแดนซ์ของวงจรมัน อุปกรณ์ประเภทโอทีโอจะมีค่าเอาต์พุตอิมพีแดนซ์สูงดังนั้นจะต้องมีวงจรที่ทำหน้าที่เป็นวงจรบัฟเฟอร์เพื่อช่วยให้อิมพีแดนซ์ของเอาต์พุตต่ำลง เพื่อไม่เป็นการลดทอนสัญญาณที่ผ่านการกรองความถี่



ภาพที่ 4.10 การตอบสนองความถี่ทางขนาดของวงจรแบบดั้งเดิม



ภาพที่ 4.11 การตอบสนองความถี่เชิงเฟสของวงจรแบบดั้งเดิม

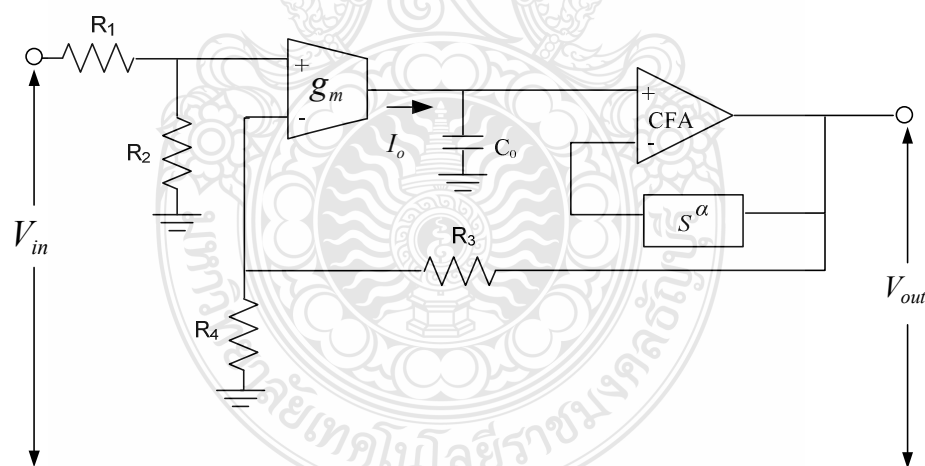
การจำลองการตอบสนองความถี่ของวงจรโดยใช้โปรแกรม ORCAD PSPICE โดยการเริ่มต้นการป้อนความถี่ตั้งแต่ 100 เฮิรตซ์ไปจนถึงความถี่ 1 กิกะเฮิรตซ์ พบว่าในช่วงความถี่ที่ตัดออฟของวงจรรองความถี่ต่ำที่ความถี่เท่ากับ 1 เมกะเฮิรตซ์นั้นการตอบสนองความถี่ทางขนาดของวงจรมีการยกตัวของสัญญาณขึ้นประมาณ 5 dB และความชันของเส้นขนาดเป็นแบบไม่สม่ำเสมอ จากการ

วิเคราะห์การยกตัวของสัญญาณเกิดจากในช่วงความถี่คัตออฟ นั้นมาจากช่วงที่  $C_0$  เกิดการเก็บประจุไฟฟ้าและค่าอิมพีแดนซ์ทางเอาต์พุตของวงจรยังสูงอยู่ เป็นช่วงที่เวลาคายประจุไฟฟ้าของ  $C_0$  ไม่เหมาะสมกับอิมพีแดนซ์ทางเอาต์พุตของวงจร

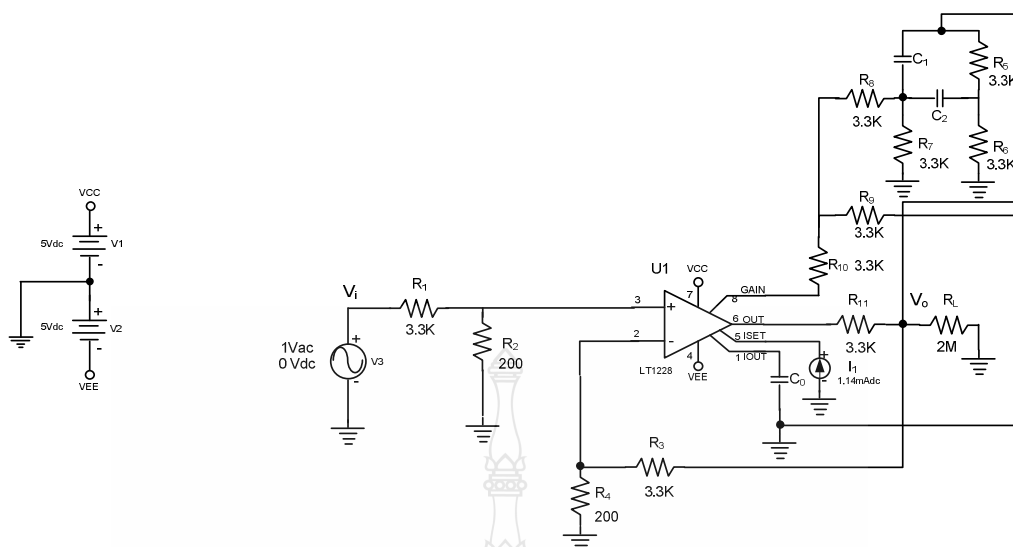
#### 4.5 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำที่ความถี่คัตออฟ 1 เม็กกะเฮิรตซ์โดยใช้ ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในการปรับปรุงการตอบสนองความถี่

โครงสร้างวงจรที่ทำการออกแบบแสดงในภาพที่ 4.12 [15-16] โดยส่วนที่เพิ่มเติมคือในส่วนที่เป็นลำดับเศษส่วนย่อย คือ  $s^\alpha$  โดยที่  $\alpha$  มีค่าเท่ากับ 0.1 , 0.5 และ 0.9 ส่วนที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยจะต่อกับวงจรที่เป็นอินพุตของวงจรซีเอฟเอ เพื่อช่วยให้ค่าอิมพีแดนซ์ด้านเอาต์พุตลดลง และหน้าที่อีกอย่างหนึ่งของฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่เพิ่มเข้าไปในวงจรเพื่อทำหน้าที่ควบคุมการป้อนกลับแรงดันที่เป็นอินพุตของโอทีเอเพื่อช่วยในการควบคุมอัตราขยายกระแสเอาต์พุตของโอทีเอ ( $I_o$ ) ให้มีอัตราขยายอย่างสม่ำเสมอ ตามสมการที่ 4.10

$$I_o = g_m (V_{in}^+ - V_{in}^-) \quad (4.10)$$



ภาพที่ 4.12 โครงสร้างวงจรที่ทำการออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย



ภาพที่ 4.13 การจำลองการทำงานของวงจรที่ทำการออกแบบโดยใช้โปรแกรม ORCAD PSPICE

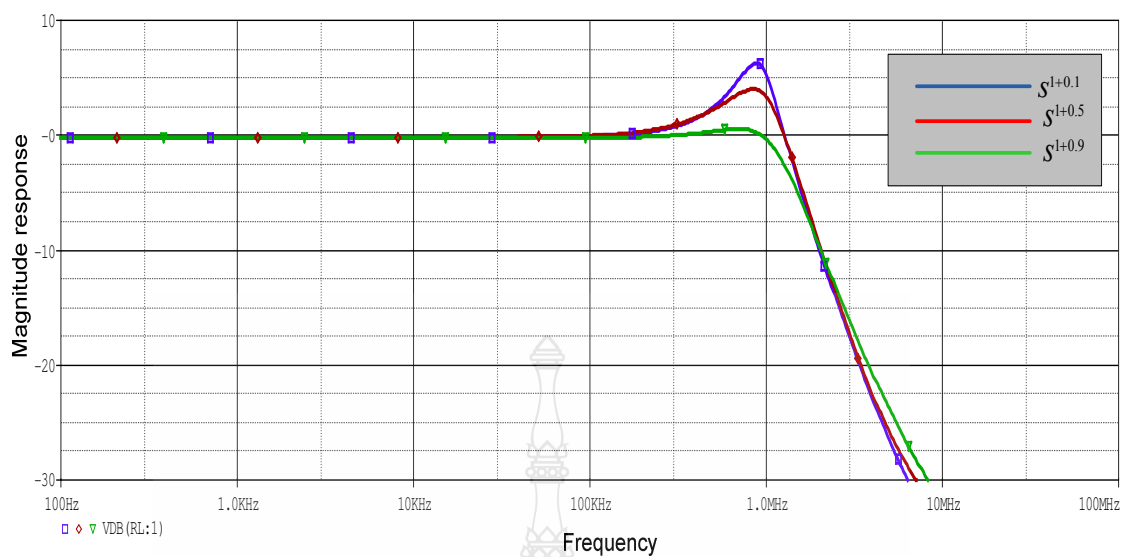
เพื่อให้ง่ายสำหรับการวิเคราะห์ห้วงจรไฟฟ้า สำหรับการเขียนฟังก์ชันถ่ายโอนของวงจร ความถี่ที่ใช้ในการออกแบบ อ้างอิงตามโครงสร้างวงจรในภาพที่ 4.12 การประมาณค่าฟังก์ชันถ่ายโอนแสดงในสมการที่ 4.11

$$T(s) = \frac{V_{out}}{V_{in}} = \frac{g_m R_2}{s^{(1+\alpha)} \left[ \frac{R_3^2}{R_3 + R_4} \right] + \frac{g_m R_4}{C_0 (R_3 + R_4)} s + 1} \quad (4.11)$$

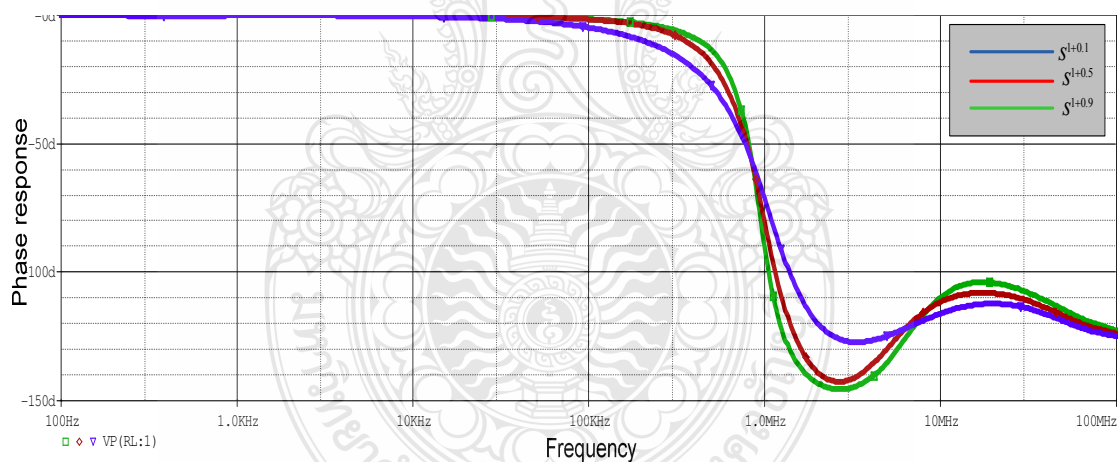
ส่วนที่ทำหน้าที่เป็นฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย ( $s^\alpha$ ) ประกอบด้วยตัวความต้านทาน  $R_3, R_6, R_7, R_8, R_9, R_{10}$  และ  $R_{11}$  ค่าความต้านทานทั้งหมดคือ 3.3 กิโลโอห์ม และตัวเก็บประจุไฟฟ้า  $C_1$  และ  $C_2$  การเปลี่ยนค่าของลำดับเศษส่วนย่อย ทำได้โดยการเปลี่ยนค่าตัวเก็บประจุไฟฟ้า  $C_1$  และ  $C_2$  โดยที่ค่าของลำดับเศษส่วนย่อย จากการทดลองนั้นพบว่าค่าตัวเก็บประจุไฟฟ้า เป็นดังนี้

- 1) ลำดับเศษส่วนย่อย  $s^{0.1}$  ค่าตัวเก็บประจุไฟฟ้าค่าเท่ากับ 22 พิโคฟารัด
- 2) ลำดับเศษส่วนย่อย  $s^{0.5}$  ค่าตัวเก็บประจุไฟฟ้าค่าเท่ากับ 47 พิโคฟารัด
- 3) ลำดับเศษส่วนย่อย  $s^{0.9}$  ค่าตัวเก็บประจุไฟฟ้าค่าเท่ากับ 0.5 ไมโครฟารัด

ค่าความต้านทาน  $R_1, R_2, R_3$  และ  $R_4$  ใช้ค่าเดิมและกระแส Iset ที่ป้อนสำหรับให้กับโอทีเอใช้ค่าเดิมคือ 1.14 มิลลิแอมแปร์



ภาพที่ 4.14 การตอบสนองความถี่ทางขนาดของวงจรองความถี่ต่ำโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย



ภาพที่ 4.15 การตอบสนองความถี่เชิงเฟสของวงจรองความถี่ต่ำโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

จากกราฟการตอบสนองความถี่ทั้งขนาดและเชิงเฟสในภาพที่ 4.14 และ 4.15 เส้นสีน้ำเงินแทนลำดับเศษส่วนย่อย  $s^{0.1}$  เส้นสีแดงแทนลำดับเศษส่วนย่อย  $s^{0.5}$  และเส้นสีเขียวแทนลำดับเศษส่วนย่อย  $s^{0.9}$  จากการทดลองพบว่าที่ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย  $s^{0.9}$  สามารถลด

การยกตัวการตอบสนองความถี่ทางขนาดได้ดีที่สุดและช่วงที่เป็นความถี่คัตออฟที่ 1 เมื่อกะเออร์ชันนั้น ความชันของเส้นขนาดจะตอบสนองเร็วขึ้นในช่วงที่วงจรเริ่มคัตออฟความถี่ที่ไม่ต้องการ โดยค่าอินทิเกรเตอร์รวมของวงจรจะเท่ากับ  $\frac{1}{s^{1+0.9}} = \left(\frac{1}{s} \times \frac{1}{s^{0.9}}\right)$  และความชันของการตอบสนองความถี่ทางขนาดนั้นสอดคล้องกับทฤษฎีฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย คือ -20dB/decade อย่างสม่ำเสมอ เมื่อพิจารณาการตอบสนองความถี่เชิงเฟสในภาพที่ 4.15 พบว่าฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่มีการเปลี่ยนลำดับนั้นไม่ทำให้การตอบสนองความถี่เชิงเฟสมีการเลื่อนไปอันเนื่องมาจากความถี่ที่สูงมากนักทั้งนี้เพราะ ณ ตำแหน่งที่ความถี่คัตออฟ วงจรจะเกิดการเลื่อนเชิงเฟสไปแบบมีค่าคงที่เสมอ

#### 4.6 สรุปผลการจำลองการทำงานของวงจรที่ทำการออกแบบ

วงจรควบคุมแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่ทำการออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย วงจรจะเริ่มทำงานโดยขยายขนาดของแรงดันไฟฟ้าของสัญญาณอินพุตจาก 2 โวลต์เป็น 3.751 โวลต์ ลักษณะของสัญญาณเอาต์พุตจะเห็นความแตกต่างในเรื่องการหน่วงเวลาที่ใช้ในการยกระดับแรงดันไฟฟ้าของสัญญาณอินพุตเมื่อเทียบกับวงจรแบบดั้งเดิม และเมื่อทำการเปลี่ยนค่าลำดับเศษส่วนย่อยในส่วนของปริพันธ์และอนุพันธ์อีก 0.7 นั้นวงจรให้ผลการตอบสนองดีที่สุดคือระดับแรงดันไฟฟ้าของสัญญาณเอาต์พุตมีค่าเท่ากับ 3.996 โวลต์

ในส่วนวงจรรองความถี่ต่ำที่ความถี่คัตออฟ 1 เมื่อกะเออร์ชันที่ทำการออกแบบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในปรับปรุงการตอบสนองความถี่ ผลการจำลองการทำงานพบว่าลำดับเศษส่วนย่อย ที่  $s^{0.9}$  สามารถลดการยกตัวของการตอบสนองความถี่ทางขนาดได้ดีที่สุด และการตอบสนองความถี่เชิงเฟสพบว่าการเปลี่ยนลำดับเศษส่วนย่อย นั้นไม่ทำให้การตอบสนองความถี่เชิงเฟสมีการเลื่อนไปอันเนื่องมาจากความถี่ที่สูง

## บทที่ 5

### สรุปผลการวิจัยและข้อเสนอแนะ

ในบทนี้จะกล่าวถึงสรุปผลการวิจัยการปรับปรุงค่าหนึ่งเวลาและการตอบสนองทางความถี่ของวงจรถอดลอกโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย และข้อเสนอแนะ

#### 5.1 สรุปผลการวิจัยการ

5.1.1 การปรับปรุงค่าหนึ่งเวลาของวงจรถอดลอกแบบสัดส่วน-ปริพันธ์-อนุพันธ์โดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

วงจรถอดลอกแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) แบบอนาล็อกที่ปรับปรุงค่าหนึ่งเวลาโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยนั้นรูปแบบของวงจรที่นำเสนอเป็นการพัฒนามาจากวงจรถอดลอกแบบสัดส่วน-ปริพันธ์-อนุพันธ์แบบที่ใช้ตัวกระทำปริพันธ์และอนุพันธ์เป็นแบบจำนวนเต็ม ซึ่งออกแบบโดยใช้อุปกรณ์ประเภทไอทีเอทีที่สร้างมาจากมอสเฟตทรานซิสเตอร์และทำการปรับปรุงการหน่วงเวลาของสัญญาณเอาต์พุตโดยการปรับค่าพารามิเตอร์ของอุปกรณ์ในส่วนปริพันธ์และอนุพันธ์ แต่วงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้ได้ออกแบบวงจรโดยใช้อุปกรณ์ประเภทไอทีเอทีแบบสำเร็จรูปซึ่งง่ายต่อการใช้งานและสร้างได้จริง และได้นำเอาฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยมาปรับปรุงตัวกระทำของวงจรให้ทำงานละเอียดขึ้น เพื่อทำการปรับปรุงการหน่วงเวลาของสัญญาณเอาต์พุต เมื่อทำการปรับพารามิเตอร์ที่เหมาะสมแล้ว คุณสมบัติที่สำคัญที่ได้จากวงจรถอดลอกแบบสัดส่วน-ปริพันธ์-อนุพันธ์ ( $PI^{\lambda}D^{\mu}$ ) ที่ทำการออกแบบคือเรื่องการหน่วงเวลาที่ใช้ในการยกระดับแรงดันไฟฟ้าของสัญญาณอินพุตเพื่อทำการขยายหรือเรียกว่าสถานะค่าความคลาดเคลื่อนเชิงสถิติ ซึ่งให้ผลการหน่วงเวลาที่น้อยกว่าวงจรแบบดั้งเดิม และสถานะการตอบสนองสูงสุดของสัญญาณเอาต์พุตไม่มีการยกตัวของสัญญาณ (Overshoot) ในช่วงที่สัญญาณมีการเปลี่ยนแปลงอย่างรวดเร็ว นอกจากนี้ความเร็วในการตอบสนองของวงจรให้ได้สัญญาณเอาต์พุตให้เข้าใกล้กับระดับสัญญาณที่กำหนด สามารถปรับปรุงโดยวิธีการเปลี่ยนลำดับเศษส่วนย่อย โดยไม่ต้องมีการเพิ่มอุปกรณ์ประเภทแอคทีฟเข้าไปช่วยในการยกระดับสัญญาณ

5.1.2 การปรับปรุงการตอบสนองความถี่ของวงจรถอดลอกความถี่ต่ำให้ราบเรียบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อย

การปรับปรุงการตอบสนองความถี่ของวงจรถอดลอกความถี่ต่ำให้ราบเรียบโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยรูปแบบของวงจรที่นำเสนอเป็นวงจรถอดลอกความถี่ต่ำที่ออกแบบให้

ทำงานในโหมดกระแสโดยใช้อุปกรณ์ประเภทโอทีเอ และเพิ่มส่วนของวงจรแพคแดนซ์ให้ทำงานร่วมกับวงจรอินทิเกรเตอร์เดิมในวงจร เมื่อทำการปรับพารามิเตอร์ที่เหมาะสมแล้ว คุณสมบัติที่สำคัญที่ได้จากวงจรรองความถี่ต่ำที่ทำการออกแบบคือใช้อุปกรณ์ประเภทโอทีเอเพียงตัวเดียว สามารถลดการยกตัวของการตอบสนองความถี่ทางขนาดได้ในช่วงที่เป็นความถี่คัตออฟ และการเปลี่ยนลำดับเศษส่วนย่อยนั้น ไม่ทำให้การตอบสนองความถี่เชิงเฟสมีการเลื่อนไปอันเนื่องมาจากความถี่ที่สูงมากนัก ทั้งนี้เพราะ ณ ตำแหน่งที่ความถี่คัตออฟวงจรจะเกิดการเลื่อนเชิงเฟสไปแบบมีค่าคงที่เสมอ จากผลการตอบสนองทางความถี่ทั้งขนาดและเชิงเฟสของวงจรที่ออกแบบสามารถเทียบได้กับคุณสมบัติของวงจรรองความถี่ต่ำลำดับที่สองซึ่งต้องออกแบบวงจร โดยใช้อุปกรณ์ประเภทแอกทิฟมากกว่าหนึ่งตัว

## 5.2 ข้อเสนอแนะและแนวทางในการพัฒนา

จากแนวความคิดในการปรับปรุงค่าห้วงเวลาและการตอบสนองทางความถี่ของวงจรรอานาล็อกโดยการใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยที่ได้แสดงในวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอเสนอแนะแนวทางในการวิจัยการพัฒนาจากรอานาล็อกโดยใช้ฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยในโอกาสต่อไปดังนี้

5.2.1 นำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปประยุกต์ออกแบบวงจรรอานาล็อกที่ต้องการการตอบสนองที่เร็วเมื่อความถี่เปลี่ยนแปลงเช่น วงจรอ็ควอไลเซอร์

5.2.2 นำวงจรรองความถี่ต่ำที่ทำการออกแบบไปประยุกต์ใช้งานร่วมกับวงจรเฟสล็อกคูลูป เพื่อทำการเพิ่มประสิทธิภาพความเร็วในการตอบสนองความถี่

5.2.3 นำฟังก์ชันถ่ายโอน แบบลำดับเศษส่วนย่อยไปประยุกต์ออกแบบวงจรรองความถี่ผ่านบางช่วง วงจรรองความถี่ผ่านทั้งหมด และวงจรรองความถี่สูงผ่านเพื่อปรับปรุงความเร็วในการตอบสนองทางความถี่ในทุกช่วงความถี่



## รายการอ้างอิง

- [1] Ali Akbar, "Tuning of FOPID Controller Using Taylor series expansion," **International Journal of Scientific & Engineering Research**, Vol 2, Issue 3, March 2011. pp. 317–322.
- [2] A. Charef, D. Idiou, "Design of analog variable fractional order differentiator and integrator," **Nonlinear dynamic (2012)**, Vol .69, No.6, March 2012. pp. 1577–1588.
- [3] Cevat ERDAL, Ali TOKER and Cevdet ACAR, "OTA-C Based Proportional-Integral-Derivative (PID) Controller and Calculating Optimum Parameter Tolerances," **Turk J Elec Engin, Vol.9, No.2**, 2011. pp.189-198.
- [4] YangQuan Chen, Ivo Petr'a's and Dingy'u Xue "Fractional Order Control - A Tutorial" **American Control Conference Hyatt Regency Riverfront**, St. Louis, MO, USA, 10-12 June 2009. pp.1397 – 1411.
- [5] A. G. RADWAN, A. M. SOLIMAN and A. S. ELWAKIL, "First-Order Filters Generalized to the Fractional Domain," **Journal of Circuits, Systems, and Computers**, Vol. 17, No., 2008. pp.55–66.
- [6] Todd J. Freeborn, Brent Maundy, and Ahmed Elwakil, "Towards the Realization of Fractional Step Filters," **Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium**, June 2010. pp. 1037 – 1040.
- [7] P. Varshney, Maneesha Gupta and G. S. Visweswaran, "Switched Capacitor Realizations of Half Differentiator," **MTECS 2010 – National Conference on Modern Trends in Electronics and Communication Systems**, March 2010. pp. 9-13.
- [8] Dingyü Xue, YangQuan Chen and Derek P. Atherton, "Linear Feedback Control Analysis and Design with MATLAB," **Advance in Design and Control**, Society for Industrial and Applied Mathematics, 1 edition, January 31, 2009. pp. 280-295.
- [9] YangQuan Chen Blas M. Vinagre Dingyü Xue Vicente Feliu, "**Fractional-order Systems and Controls**," Springer, 2010 edition, pp. 20-50.
- [10] เดวิด บรรณเจตพงศชัย, ระบบควบคุมพลวัต การวิเคราะห์ การออกแบบ และการประยุกต์, สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย, พิมพ์ครั้งที่ 1, กรุงเทพฯ, 2551. หน้า 220-225.

- [11] Rolf Schaumann, Haiqiao Xiao and Mac Van Valkenburg, “**Design of Analog Filters,**” Oxford University Press, 2 edition, USA, December 31, 2009. pp. 750-755.
- [12] เรื่องศิลป์ ฟังก์ชันแก๊ว, เอกสารวงจรกรองความถี่ (Online), Available:  
<http://www.silp.eleccm.com/opamp/book/lesson9.doc> (1 Jun 2012).
- [13] Tanet Suksang, Wisit Loedhammacakra and Virote Pirajnanchai, “Implement the Fractional-order half integrator and differentiator on the OTA base  $PI^\lambda D^\mu$  controller circuit,” **IEEE, ECTI-CON 2012**, 16-18 May 2012. pp.1-4.
- [14] Pu Yifei, Yuan Xiao, Liao Ke and Zhou Jiliu, “Structuring analog fractance circuit for  $\frac{1}{2}$  order fractional calculus,” **ASIC, 2005. ASICON 2005. 6th International Conference**, Oct 24-27, 2005. pp.1136 – 1139.
- [15] Tanet Suksang, Virote Pirajnanchai and Wisit Loedhammacakra, “Tunable OTA Low Pass Filter with the Fractional-Order step Technique,” **AEEE 2012, Advances in Electronics and Electrical Engineering**, 23 June 2012. pp.29-32.
- [16] Tanet Suksang, Virote Pirajnanchai, Chatchai Suppitaksakul and Wisit Loedhammacakra, “Design and Improve the Performance of OTA Low Pass Filter with Fractional-Order Step,” **IEEE EDSSC 2012, International Conference on Electron Device and Solid State Circuit**, 3-5 December 2012.
- [17] Michal Olšák and Dalibor Biolek, “Controlled filters with LT1228 OTA amplifiers,” **Telecommunications and Signal Processing - TSP2000**, January 01, 2000. pp.191-194
- [18] Linear Technology, คู่มือไอซีเบอร์ 1228 (Online), Available:  
<http://www.linear.com/product/LT1228> (25 September 2012).

ภาคผนวก





ภาคผนวก ก  
คู่มือไอซีเบอร์ LT1228



LT1228

## 100MHz Current Feedback Amplifier with DC Gain Control

### FEATURES

- Very Fast Transconductance Amplifier  
Bandwidth: 75MHz  
 $g_m = 10 \times I_{SET}$   
Low THD: 0.2% at 30mV<sub>RMS</sub> Input  
Wide  $I_{SET}$  Range: 1 $\mu$ A to 1mA
- Very Fast Current Feedback Amplifier  
Bandwidth: 100MHz  
Slew Rate: 1000V/ $\mu$ s  
Output Drive Current: 30mA  
Differential Gain: 0.04%  
Differential Phase: 0.1°  
High Input Impedance: 25M $\Omega$ , 6pF
- Wide Supply Range:  $\pm 2V$  to  $\pm 15V$
- Inputs Common Mode to Within 1.5V of Supplies
- Outputs Swing Within 0.8V of Supplies
- Supply Current: 7mA

### APPLICATIONS

- Video DC Restore (Clamp) Circuits
- Video Differential Input Amplifiers
- Video Keyer/Fader Amplifiers
- AGC Amplifiers
- Tunable Filters
- Oscillators

### DESCRIPTION

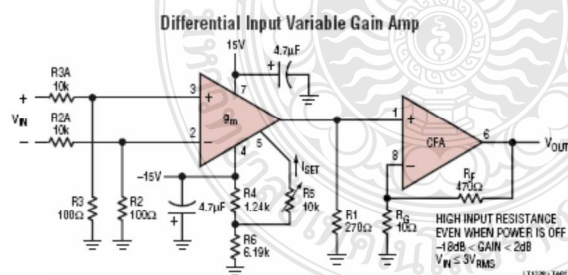
The LT<sup>®</sup>1228 makes it easy to electronically control the gain of signals from DC to video frequencies. The LT1228 implements gain control with a transconductance amplifier (voltage to current) whose gain is proportional to an externally controlled current. A resistor is typically used to convert the output current to a voltage, which is then amplified with a current feedback amplifier. The LT1228 combines both amplifiers into an 8-pin package, and operates on any supply voltage from 4V ( $\pm 2V$ ) to 30V ( $\pm 15V$ ). A complete differential input, gain controlled amplifier can be implemented with the LT1228 and just a few resistors.

The LT1228 transconductance amplifier has a high impedance differential input and a current source output with wide output voltage compliance. The transconductance,  $g_m$ , is set by the current that flows into Pin 5,  $I_{SET}$ . The small signal  $g_m$  is equal to ten times the value of  $I_{SET}$  and this relationship holds over several decades of set current. The voltage at Pin 5 is two diode drops above the negative supply, Pin 4.

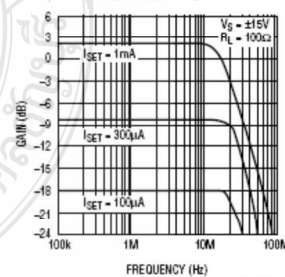
The LT1228 current feedback amplifier has very high input impedance and therefore it is an excellent buffer for the output of the transconductance amplifier. The current feedback amplifier maintains its wide bandwidth over a wide range of voltage gains making it easy to interface the transconductance amplifier output to other circuitry. The current feedback amplifier is designed to drive low impedance loads, such as cables, with excellent linearity at high frequencies.

LT, LTC and LT are registered trademarks of Linear Technology Corporation.

### TYPICAL APPLICATION



Frequency Response



# LT1228

## ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage .....	±18V
Input Current, Pins 1, 2, 3, 5, 8 (Note 8) .....	±15mA
Output Short Circuit Duration (Note 2) .....	Continuous
Operating Temperature Range	
LT1228C .....	0°C to 70°C
LT1228M (OBSOLETE) .....	-55°C to 125°C
Storage Temperature Range .....	-65°C to 150°C
Junction Temperature	
Plastic Package .....	150°C
Ceramic Package (OBSOLETE) .....	175°C
Lead Temperature (Soldering, 10 sec) .....	300°C

## PACKAGE/ORDER INFORMATION

**N8 PACKAGE**  
8-LEAD PLASTIC DIP  
T<sub>J</sub> MAX = 150°C, θ<sub>JA</sub> = 100°C/W (N)  
T<sub>J</sub> MAX = 150°C, θ<sub>JA</sub> = 150°C/W (S)

**S8 PACKAGE**  
8-LEAD PLASTIC SOIC  
T<sub>J</sub> MAX = 150°C, θ<sub>JA</sub> = 150°C/W (S)

**J8 PACKAGE**  
8-LEAD CERAMIC DIP  
T<sub>J</sub> MAX = 175°C, θ<sub>JA</sub> = 100°C/W (J)

ORDER PART NUMBER
LT1228CN8 LT1228CS8
S8 PART MARKING
1228
ORDER PART NUMBER
LT1228MJ8 LT1228CJ8
<b>OBSOLETE PACKAGE</b>
Consider the N8 or S8 Packages for Alternate Source.

Consult LTC Marketing for parts specified with wider operating temperature ranges.

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at T<sub>A</sub> = 25°C. Current Feedback Amplifier, Pins 1, 6, 8. ±5V ≤ V<sub>S</sub> ≤ ±15V, I<sub>SET</sub> = 0μA, V<sub>CM</sub> = 0V unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>OS</sub>	Input Offset Voltage	T <sub>A</sub> = 25°C	●	±3	±10 ±15	mV mV
	Input Offset Voltage Drift		●	10		μV/°C
I <sub>IN</sub> <sup>+</sup>	Noninverting Input Current	T <sub>A</sub> = 25°C	●	±0.3	±3 ±10	μA μA
I <sub>IN</sub> <sup>-</sup>	Inverting Input Current	T <sub>A</sub> = 25°C	●	±10	±65 ±100	μA μA
e <sub>n</sub>	Input Noise Voltage Density	f = 1kHz, R <sub>F</sub> = 1k, R <sub>G</sub> = 10Ω, R <sub>S</sub> = 0Ω		6		nV/√Hz
i <sub>n</sub>	Input Noise Current Density	f = 1kHz, R <sub>F</sub> = 1k, R <sub>G</sub> = 10Ω, R <sub>S</sub> = 10k		1.4		pV/√Hz
R <sub>IN</sub>	Input Resistance	V <sub>IN</sub> = ±13V, V <sub>S</sub> = ±15V	●	2	25	MΩ
		V <sub>IN</sub> = ±3V, V <sub>S</sub> = ±5V	●	2	25	MΩ
C <sub>IN</sub>	Input Capacitance (Note 3)	V <sub>S</sub> = ±5V		6		pF
	Input Voltage Range	V <sub>S</sub> = ±15V, T <sub>A</sub> = 25°C	●	±13	±13.5	V
			●	±12		V
		V <sub>S</sub> = ±5V, T <sub>A</sub> = 25°C	●	±3	±3.5	V
CMRR	Common Mode Rejection Ratio	V <sub>S</sub> = ±15V, V <sub>CM</sub> = ±13V, T <sub>A</sub> = 25°C	●	55	69	dB
		V <sub>S</sub> = ±15V, V <sub>CM</sub> = ±12V	●	55		dB
		V <sub>S</sub> = ±5V, V <sub>CM</sub> = ±3V, T <sub>A</sub> = 25°C	●	55	69	dB
		V <sub>S</sub> = ±5V, V <sub>CM</sub> = ±2V	●	55		dB
PSRR	Power Supply Rejection Ratio	V <sub>S</sub> = ±15V, V <sub>CM</sub> = ±13V, T <sub>A</sub> = 25°C	●	2.5	10	μA/V
		V <sub>S</sub> = ±15V, V <sub>CM</sub> = ±12V	●		10	μA/V
		V <sub>S</sub> = ±5V, V <sub>CM</sub> = ±3V, T <sub>A</sub> = 25°C	●	2.5	10	μA/V
		V <sub>S</sub> = ±5V, V <sub>CM</sub> = ±2V	●		10	μA/V
		V <sub>S</sub> = ±2V to ±15V, T <sub>A</sub> = 25°C	●	60	80	dB
		V <sub>S</sub> = ±3V to ±15V	●	60		dB

## LT1228

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . Current Feedback Amplifier, Pins 1, 6, 8.  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{SET} = 0\mu\text{A}$ ,  $V_{CM} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Noninverting Input Current	$V_S = \pm 2\text{V to } \pm 15\text{V}$ , $T_A = 25^\circ\text{C}$	●	10	50	nA/V	
	Power Supply Rejection	$V_S = \pm 3\text{V to } \pm 15\text{V}$	●		50	nA/V	
	Inverting Input Current	$V_S = \pm 2\text{V to } \pm 15\text{V}$ , $T_A = 25^\circ\text{C}$	●	0.1	5	$\mu\text{A/V}$	
	Power Supply Rejection	$V_S = \pm 3\text{V to } \pm 15\text{V}$	●		5	$\mu\text{A/V}$	
$A_V$	Large-Signal Voltage Gain	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 10\text{V}$ , $R_{LOAD} = 1\text{k}$	●	55	65	dB	
		$V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 2\text{V}$ , $R_{LOAD} = 150\Omega$	●	55	65	dB	
$R_{OL}$	Transresistance, $\Delta V_{OUT}/\Delta I_{IN}^-$	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 10\text{V}$ , $R_{LOAD} = 1\text{k}$	●	100	200	k $\Omega$	
		$V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 2\text{V}$ , $R_{LOAD} = 150\Omega$	●	100	200	k $\Omega$	
$V_{OUT}$	Maximum Output Voltage Swing	$V_S = \pm 15\text{V}$ , $R_{LOAD} = 400\Omega$ , $T_A = 25^\circ\text{C}$	●	$\pm 12$	$\pm 3.5$	V	
			●	$\pm 10$		V	
		$V_S = \pm 5\text{V}$ , $R_{LOAD} = 150\Omega$ , $T_A = 25^\circ\text{C}$	●	$\pm 3$	$\pm 3.7$	V	
$I_{OUT}$	Maximum Output Current	$R_{LOAD} = 0\Omega$ , $T_A = 25^\circ\text{C}$	●	30	65	125	mA
			●	25		125	mA
$I_S$	Supply Current	$V_{OUT} = 0\text{V}$ , $I_{SET} = 0\text{V}$	●	6	11	mA	
SR	Slew Rate (Notes 4 and 6)	$T_A = 25^\circ\text{C}$		300	500	V/ $\mu\text{s}$	
SR	Slew Rate	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 400\Omega$			3500	V/ $\mu\text{s}$	
$t_r$	Rise Time (Notes 5 and 6)	$T_A = 25^\circ\text{C}$		10	20	ns	
BW	Small-Signal Bandwidth	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$			100	MHz	
$t_f$	Small-Signal Rise Time	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$			3.5	ns	
	Propagation Delay	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$			3.5	ns	
	Small-Signal Overshoot	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$			15	%	
$t_s$	Settling Time	0.1%, $V_{OUT} = 10\text{V}$ , $R_F = 1\text{k}$ , $R_G = 1\text{k}$ , $R_L = 1\text{k}$			45	ns	
	Differential Gain (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 1\text{k}$			0.01	%	
	Differential Phase (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 1\text{k}$			0.01	DEG	
	Differential Gain (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 150\Omega$			0.04	%	
	Differential Phase (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 150\Omega$			0.1	DEG	

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . Transconductance Amplifier, Pins 1, 2, 3, 5.  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{SET} = 100\mu\text{A}$ ,  $V_{CM} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{OS}$	Input Offset Voltage	$I_{SET} = 1\text{mA}$ , $T_A = 25^\circ\text{C}$	●	$\pm 0.5$	$\pm 5$	mV
	Input Offset Voltage Drift		●	10		$\mu\text{V}/^\circ\text{C}$
$I_{OS}$	Input Offset Current	$T_A = 25^\circ\text{C}$	●	40	200	nA
			●		500	nA
$I_B$	Input Bias Current	$T_A = 25^\circ\text{C}$	●	0.4	1	$\mu\text{A}$
$e_n$	Input Noise Voltage Density	$f = 1\text{kHz}$		20		nV/ $\sqrt{\text{Hz}}$
$R_{IN}$	Input Resistance-Differential Mode	$V_{IN} = \pm 30\text{mV}$	●	30	200	k $\Omega$
	Input Resistance-Common Mode	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	●	50	1000	M $\Omega$
$C_{IN}$	Input Capacitance			3		pF



## LT1228

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . Transconductance Amplifier, Pins 1, 2, 3, 5,  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{\text{SET}} = 100\mu\text{A}$ ,  $V_{\text{CM}} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Input Voltage Range	$V_S = \pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ ● $V_S = \pm 15\text{V}$ $V_S = \pm 5\text{V}$ , $T_A = 25^\circ\text{C}$ ● $V_S = \pm 5\text{V}$	±13 ±12 ±3 ±2	±14		V V V V
CMRR	Common Mode Rejection Ratio	$V_S = \pm 15\text{V}$ , $V_{\text{CM}} = \pm 13\text{V}$ , $T_A = 25^\circ\text{C}$ ● $V_S = \pm 15\text{V}$ , $V_{\text{CM}} = \pm 12\text{V}$ $V_S = \pm 5\text{V}$ , $V_{\text{CM}} = \pm 3\text{V}$ , $T_A = 25^\circ\text{C}$ ● $V_S = \pm 5\text{V}$ , $V_{\text{CM}} = \pm 2\text{V}$	60 60 60 60	100		dB dB dB dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 2\text{V}$ to $\pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ ● $V_S = \pm 3\text{V}$ to $\pm 15\text{V}$	60 60	100		dB dB
$g_m$	Transconductance	$I_{\text{SET}} = 100\mu\text{A}$ , $I_{\text{OUT}} = \pm 30\mu\text{A}$ , $T_A = 25^\circ\text{C}$	0.75	1.00	1.25	$\mu\text{A}/\text{mV}$
	Transconductance Drift		●	-0.33		$\%/^\circ\text{C}$
$I_{\text{OUT}}$	Maximum Output Current	$I_{\text{SET}} = 100\mu\text{A}$	● 70	100	130	$\mu\text{A}$
$I_{\text{OL}}$	Output Leakage Current	$I_{\text{SET}} = 0\mu\text{A}$ (+1/4 of CFA), $T_A = 25^\circ\text{C}$	●	0.3	3 10	$\mu\text{A}$ $\mu\text{A}$
$V_{\text{OUT}}$	Maximum Output Voltage Swing	$V_S = \pm 15\text{V}$ , $R_1 = \infty$ ● $V_S = \pm 5\text{V}$ , $R_1 = \infty$	● ±13 ● ±3	±14 ±4		V V
$R_0$	Output Resistance	$V_S = \pm 15\text{V}$ , $V_{\text{OUT}} = \pm 13\text{V}$ ● $V_S = \pm 5\text{V}$ , $V_{\text{OUT}} = \pm 3\text{V}$	● 2 ● 2	8 8		$\text{M}\Omega$ $\text{M}\Omega$
	Output Capacitance (Note 3)	$V_S = \pm 5\text{V}$		6		pF
$I_S$	Supply Current, Both Amps	$I_{\text{SET}} = 1\text{mA}$	●	9	15	$\text{mA}$
THD	Total Harmonic Distortion	$V_{\text{IN}} = 30\text{mV}_{\text{RMS}}$ at 1kHz, $R_1 = 100\text{k}$		0.2		%
BW	Small-Signal Bandwidth	$R_1 = 50\Omega$ , $I_{\text{SET}} = 500\mu\text{A}$		80		MHz
$t_r$	Small-Signal Rise Time	$R_1 = 50\Omega$ , $I_{\text{SET}} = 500\mu\text{A}$ , 10% to 90%		5		ns
	Propagation Delay	$R_1 = 50\Omega$ , $I_{\text{SET}} = 500\mu\text{A}$ , 50% to 50%		5		ns

**Note 1:** Absolute Maximum Ratings are those values beyond which the life of a device may be impaired.

**Note 2:** A heat sink may be required depending on the power supply voltage.

**Note 3:** This is the total capacitance at Pin 1. It includes the input capacitance of the current feedback amplifier and the output capacitance of the transconductance amplifier.

**Note 4:** Slew rate is measured at  $\pm 5\text{V}$  on a  $\pm 10\text{V}$  output signal while operating on  $\pm 15\text{V}$  supplies with  $R_F = 1\text{k}$ ,  $R_G = 110\Omega$  and  $R_L = 400\Omega$ . The slew rate is much higher when the input is overdriven, see the applications section.

**Note 5:** Rise time is measured from 10% to 90% on a  $\pm 500\text{mV}$  output signal while operating on  $\pm 15\text{V}$  supplies with  $R_F = 1\text{k}$ ,  $R_G = 110\Omega$  and  $R_L = 100\Omega$ . This condition is not the fastest possible, however, it does guarantee the internal capacitances are correct and it makes automatic testing practical.

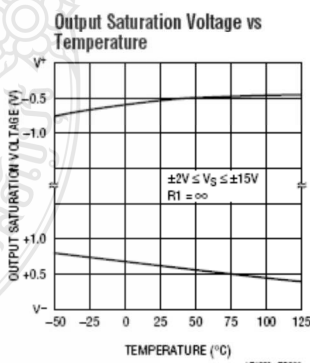
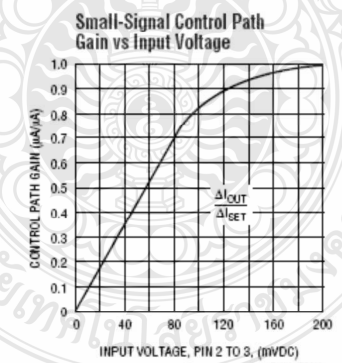
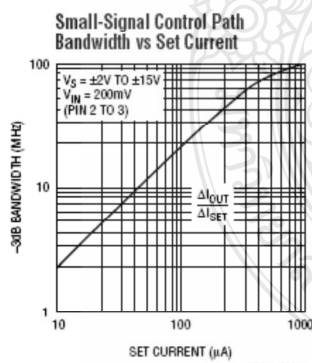
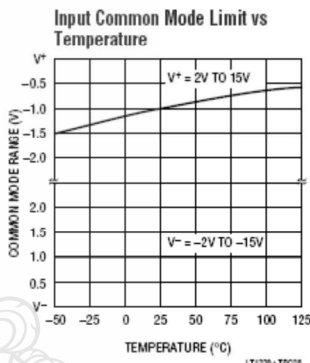
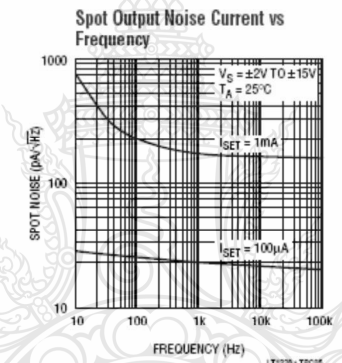
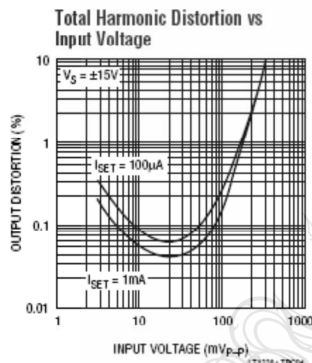
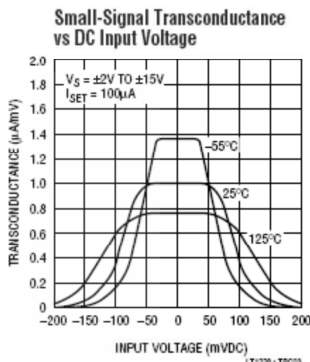
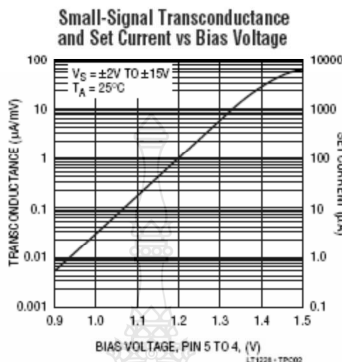
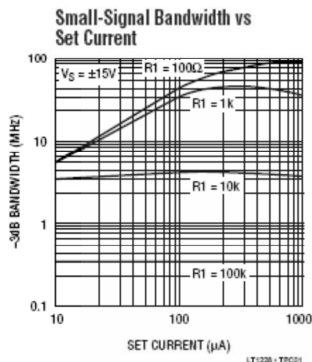
**Note 6:** AC parameters are 100% tested on the ceramic and plastic DIP packaged parts (J and N suffix) and are sample tested on every lot of the SO packaged parts (S suffix).

**Note 7:** NTSC composite video with an output level of 2V.

**Note 8:** Back to back 6V Zener diodes are connected between Pins 2 and 3 for ESD protection.

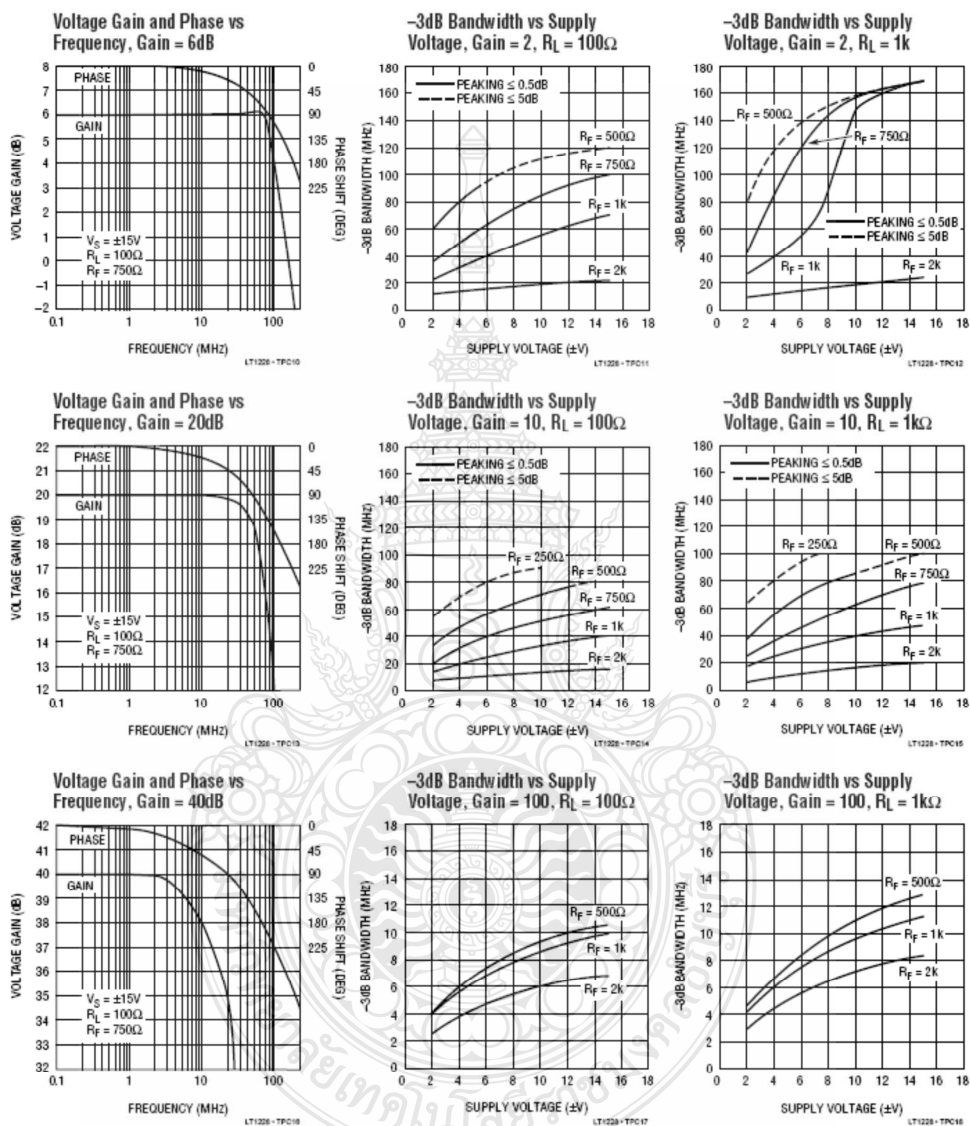


**TYPICAL PERFORMANCE CHARACTERISTICS** Transconductance Amplifier, Pins 1, 2, 3 & 5

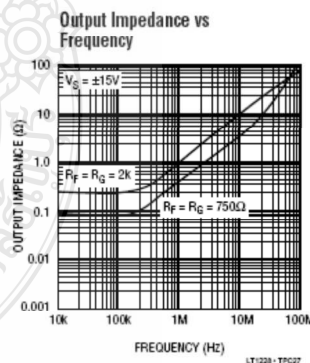
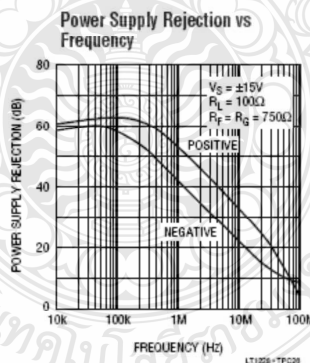
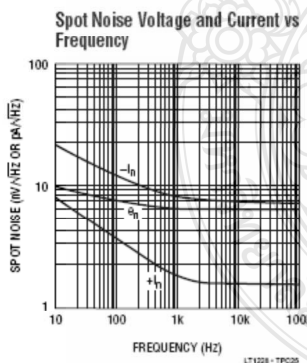
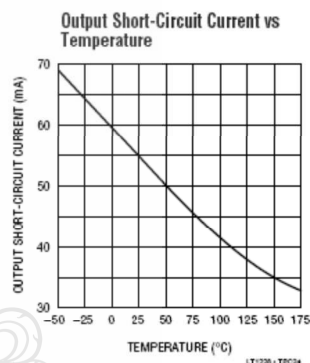
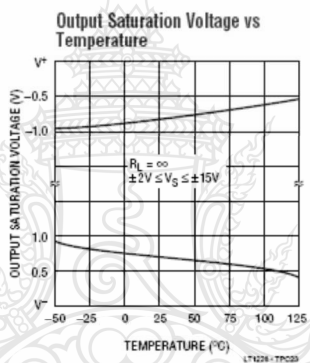
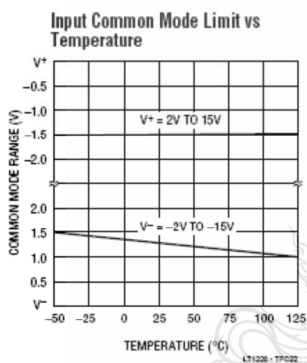
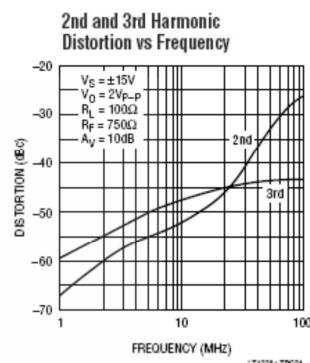
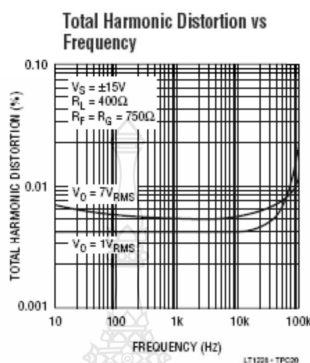
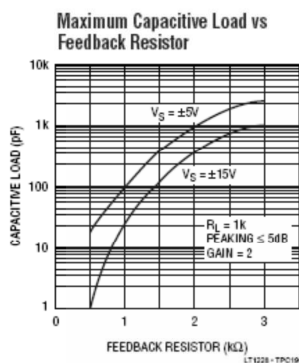


## LT1228

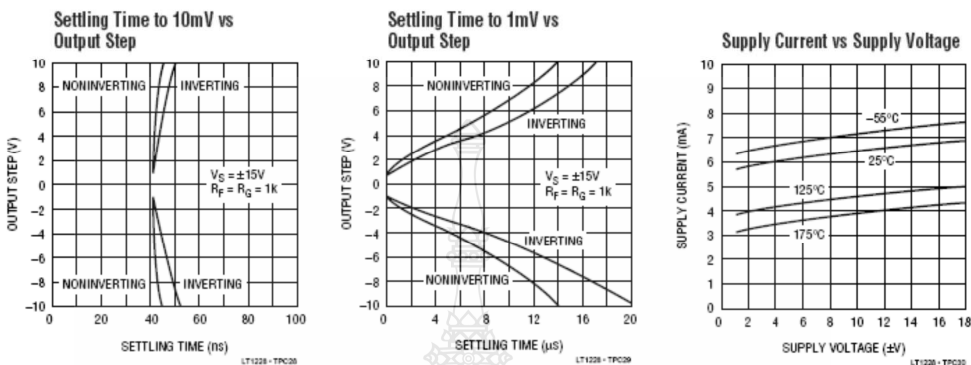
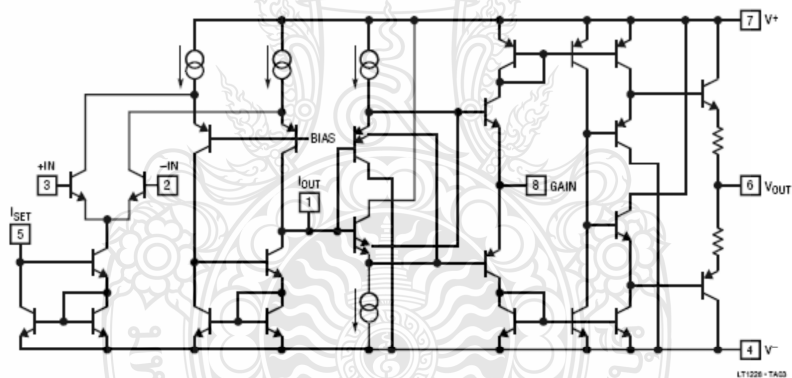
## TYPICAL PERFORMANCE CHARACTERISTICS Current Feedback Amplifier, Pins 1, 6, 8

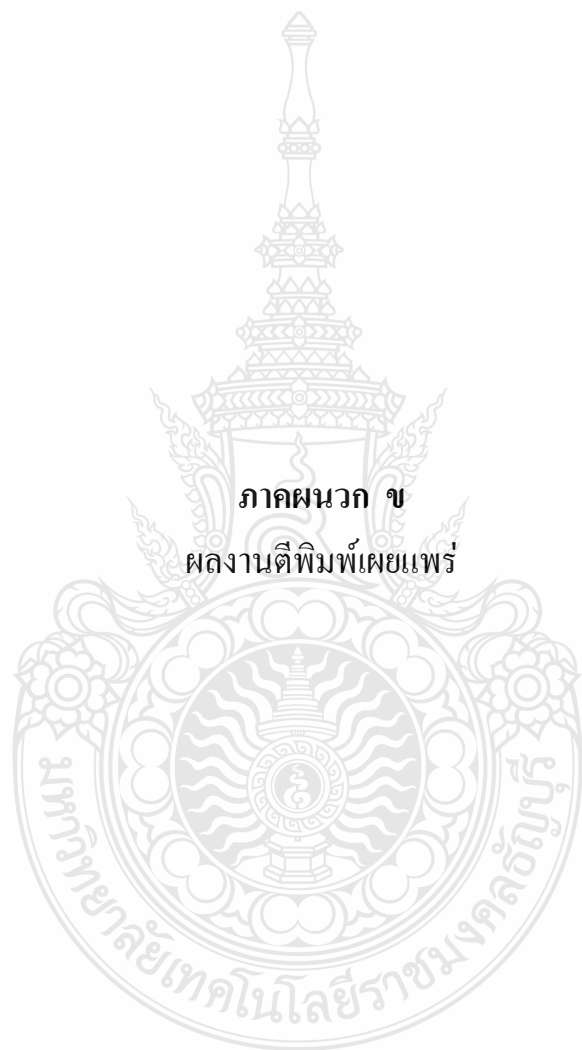


**TYPICAL PERFORMANCE CHARACTERISTICS** Current Feedback Amplifier, Pins 1, 6, 8



## LT1228

**TYPICAL PERFORMANCE CHARACTERISTICS** Current Feedback Amplifier, Pins 1, 6 & 8

**SIMPLIFIED SCHEMATIC**


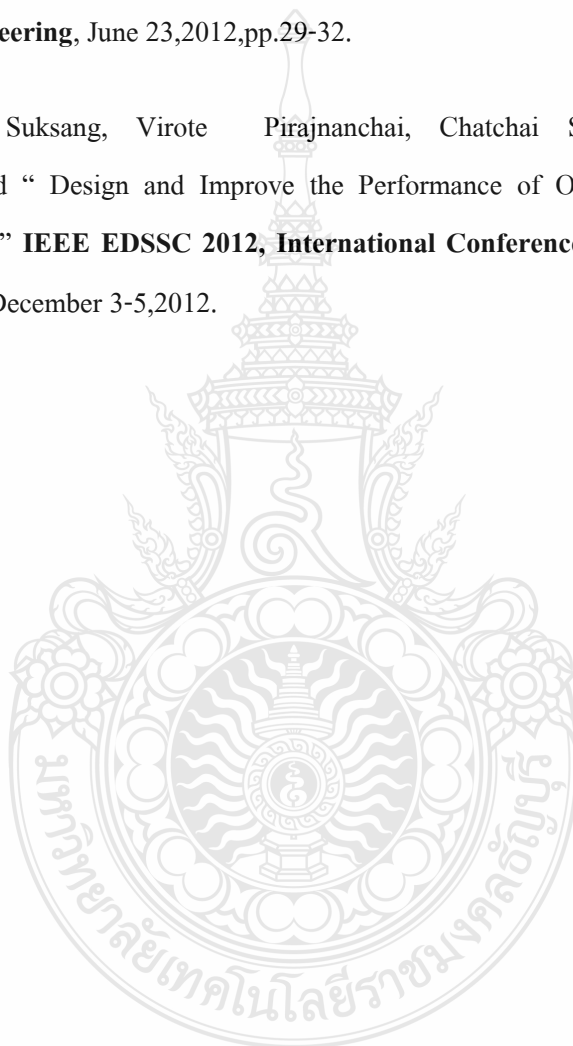


ภาคผนวก ข  
ผลงานตีพิมพ์เผยแพร่

[1] Tanet Suksang, Wisit Loedhammacakra and Virote Pirajanchai, “Implement the Fractional-order half integrator and differentiator on the OTA base controller circuit” **IEEE, ECTI-CON 2012**, May 16-18, 2012.

[2] Tanet Suksang, Virote Pirajanchai and Wisit Loedhammacakra and “Tunable OTA Low Pass Filter with the Fractional-Order step Technique” **AEEE 2012, Advances in Electronics and Electrical Engineering**, June 23,2012,pp.29-32.

[3] Tanet Suksang, Virote Pirajanchai, Chatchai Suppitaksakul and Wisit Loedhammacakra and “ Design and Improve the Performance of OTA Low Pass Filter with Fractional-Order Step” **IEEE EDSSC 2012, International Conference on Electron Device and Solid State Circuit**, December 3-5,2012.







## Committee

### Advisory Committee

Monai Krairiksh  
Booncharoen Sirinaovakul  
KosinChamnongthai  
Anawach Sangswang  
Pakorn Kaewtrakulpong

### General Chair

Prabhas Chongstitvatana (CU)  
Monai Krairiksh (KMITL)

### General Co-Chair

Tiranee Achalakul (KMUTT)

### General Secretary

Nuttanart Facundes (KMUTT)  
Marong Phadoongsidhi (KMUTT)

### Local Arrangement Chairs

Jumpol Polvichai (KMUTT)  
Jaturon Harnsomburana (KMUTT)

### Registration & Finance Chairs

Peerapon Siripongwutikorn (KMUTT)  
Songrit Maneewongvatana (KMUTT)  
Rujipan Sampanna (BU)  
Painin Kaewkuay (ECTI)

### Publicity Chairs

Suthep Madarasmi (KMUTT)

### Publication Chairs

Natasha Dejdumrong (KMUTT)  
Naruemon Wattanapongsakorn (KMUTT)

### Steering Commitee

Banlue Sitsuchinwong (12) (SIIT)  
Prayoot Akkaraekthalin (12) (KMUTNB)  
Jitkasame Ngamnii (12) (MUT)  
Vara Varavithya (12) (KMUTNB)

### Technical Program Committees

Prayoot Akkaraekthalin (KMUTNB) : TPC Chair  
Kosin Chamnongthai (KMUTT) : TPC Co-chair

#### Area: Circuits and Systems

Apinunt Thanachayanont (KMITL) : Area Chair  
Songphol Kanjanachuchai (CU)  
Pasin Isarasena (NECTEC)  
Jirayuth Mahattanakul (MUT)

#### Area: Computers and Information Technology

Anan Phonphoem (KU) : Area Chair  
Sansanee Auephanwiryakul (CMU)  
Chotipat Pomavalai (KMITL)  
Chalermek Intanagonwiwat (CU)

#### Area: Communication Systems

Chuwong Phongcharoenpanich (KMITL) : Area Chair  
Kamol Kaemarungsi (NECTEC)  
Titipong Lertwiryaprapa (KMUTNB)  
Phumin Kirawanich (MU)

#### Area: Controls

David Banjerpongchai (CU) : Area Chair  
Diew Koolpiruck (KMUTT)  
Kasemsak Uthachana (CMU)  
Itthisek Nilkhamhang (SIIT)

#### Area: Electrical Power Systems

Issarachai Ngamroo (KMITL) : Area Chair  
Komsan Hongesombut (KU)  
Surapong Surankawin (CU)  
Panida Jirutijaroen (NUS)

#### Area: Signal Processing

Matthew Dalley (AIT) : Area Chair  
Sanparith Marukatat (NECTEC)  
Wutipong Kumwilaisak (KMUTT)

#### Website & Information System Chair

Rajhawit Sarochawikasit (KMUTT)



BACK

ECTI-CON  
2012

CONTENT

n

Bio-

S

I

S

Computer Eng. and

A

V

R

Photonics and

Analog and

### Analog Circuits

1054 IMPLEMENT THE FRACTIONAL-ORDER, HALF INTEGRATOR AND DIFFERENTIATOR ON THE OTA BASE PIλ Dμ CONTROLLER CIRCUIT

1062 A Low-Voltage Low-Power Current-Mode Differential Adjustable Schmitt Trigger

1094 An OTA Based Versatile Squarer Circuit

1198 Design and Realization of a Process and Temperature Compensated CMOS Ring Oscillator

1266 Current Gain Controlled CFTA and Its Application to Resistorless Quadrature Oscillator

1269 A Compact All-NPN Fully-Differential Ladder Log-Companding Filter

1079 Independent Rise and Fall edge Dead time Generator Based on Monostable



# Implement the Fractional-Order, Half integrator and Differentiator on the OTA base $PI^\lambda D^\mu$ Controller circuit

Tanet Suksang

Electronics and Telecommunication Engineering Department  
Rajamangala University of Technology Thanyaburi  
Pathumthani, Thailand  
Tanet555@yahoo.co.th

Wisit Loedhammacakra, Virote Pirajnanchai

Electronics and Telecommunication Engineering Department  
Rajamangala University of Technology Thanyaburi  
Pathumthani, Thailand  
wisit@rmutt.ac.th, virote.p@en.rmutt.ac.th

**Abstract**— Proportional integral-derivative (PID) control is one of method to use in the control system or feedback control. In this paper presents the optimum output of controller by used the fractional-order  $PI^\lambda D^\mu$  is verified on the operational transconductance amplifier (OTA) analogue circuit. The method of approximation function and circuit design are presented and shown simple of fraction-order  $PI^\lambda D^\mu$  design for filter. The results shown that Implement the Fractional-order  $PI^\lambda D^\mu$  provides the minimum of steady-state error and improved delay time at the output of controller

**Keywords**—fractional-order  $PI^\lambda D^\mu$ ; transconductance amplifier; fractional-order rational approximation; fractional-order  $PI^\lambda D^\mu$  design

## I. INTRODUCTION

Recently many research have been improved the performance of the PID controller by optimum parameter tolerances such as whose contributions of the upper bound of the relative error [1] and the realization the analogue circuit using the MOS transistors. It is complicate for the transistor dimension and specific characteristics are not available on the market today and need lead time to design and fabricate, when we need to implement some parts in the circuit application which to eliminate errors are from gain amplifier or external disturbance that we have to use the available IC to use in the circuit design together with the a mathematic theory and this is a fractional-order theory and expected to evaluate the positive effects of fraction-order such as increasing the relative stability and increasing gain with slope 20 dB/dec in the frequency domain to realization in analogue circuit which is OTA represented.

IC LT1228 OTA has been chosen to simulate and verification the fractional-order  $PI^\lambda D^\mu$  theory.

The  $PI^\lambda D^\mu$  Controllers design [2] describes as following the system model is assume in equation (1).

$$G(s) = \frac{b_1 s^{\gamma_1} + b_2 s^{\gamma_2} + \dots + b_n s^{\gamma_m}}{a_1 s^{\gamma_0} + a_2 s^{\gamma_1} + \dots + a_{n-1} s^{\gamma_{n-1}} + a_n s^{\gamma_n}} \quad (1)$$

The fractional-order is a branch of mathematical analysis real number of complex number of differential operator as equation (2). Half-derivative

$$H^{\frac{1}{2}} f(x) = Df(x) = \frac{d}{dx} f(x) = f'(x) \rightarrow (A) \quad (2)$$

$$f(x) = x^k \rightarrow 2.1$$

$$f'(x) = \frac{d}{dx} f(x) = kx^{k-1} \rightarrow 2.2$$

Substitute equation (2.1) and (2.2) in (A)

$$\frac{d^a}{dx^a} x^k = \frac{k!}{(k-a)!} x^{k-a}, \text{ substitute factorials with the}$$

grammar function. Here is a yield of fractional equation (3).

$$\frac{d^a}{dx^a} x^k = \frac{\Gamma(k+1)}{\Gamma(k-a)} x^{k-a} \quad (3)$$

The fractional-order  $PI^\lambda D^\mu$  can be re-written in equation (4).

$$u(t) = K_p e(t) + T_i D^{-\lambda} e(t) + T_d D^{\mu} e(t) \quad (4)$$

To design of fractional-order  $PI^\lambda D^\mu$  requires the variables

$\omega_L, \omega_H, \lambda, \mu, K_i, K_p, K_D$ , these seven parameters are determined.

This paper presents the implementation of the fractional-order on the OTA base  $PI^\lambda D^\mu$  controller circuit by implement the fractance elements both integrator and differentiator on the PID controller circuit that is realization circuit, verification and simulation.

## II. FRACTIONAL ORDER IN FREQUENCY DOMAIN

The transfers function of fractional-order integrator [3] in the frequency domain represented in Figure1.

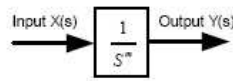


Figure 1. Input and Output of a fractional order operating where  $s = j\omega$  is the complex frequency and  $m$  is a positive real number such that  $0 < m < 1$

The example transfer function of fractional order of integrator is represented as

$$G(s) = \frac{0.9992}{s^{0.65} + 1.5084}$$

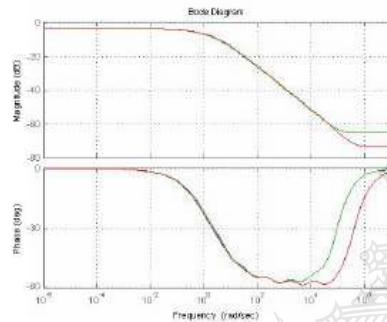


Figure 2. Magnitude and Phase Bode plot of the integrator  $s^{-0.65}$

In Figure 2, Magnitude and Phase bode plots of fractional-order integrator that the integrator orders =  $s^{-0.65}$ . We discovered both of magnitude and phase are overlapping at frequency range  $10^{-2} \sim 10^0$  rad/s. It is corresponding to fractional-order theory.

### III. REALIZATION OTA BASE PID WITH THE FRACTIONAL-ORDER

The operational transconductance amplifiers ( $g_m$ ) on circuit can be adjusted by configuration  $I_{set}$  follow as equation (5).

$$g_m = 10 * I_{set} \quad (5)$$

The transfer function of PID Classical model [1] is described in equation (6).

$$G(s) = \frac{V_{O(s)}}{V_{I(s)}} = K_p + \frac{T_I}{s} + sT_d \quad (6)$$

where  $V_{O(s)}$  is the output voltage,  $V_{I(s)}$  is the input voltage,  $K_p$  is the proportional gain,  $T_I$  is the integral gain and  $T_d$  is the derivative gain. The realization of the OTA fractional

integrator base on the  $PI^{\lambda}D^{\mu}$  controller circuit shown in Figure 3. This circuit has been [2] simulating by ORCAD PSPICE, apply  $\pm 5V$  and configuration the transconductance amplifiers ( $g_m$ ) on circuit as following

$$gm1 = gm5 = gm6 = 2mA / V \rightarrow I_{set} = 200\mu A$$

$$gm2 = gm3 = gm4 = gm7 = gm8 = 0.2mA / V \rightarrow I_{set} = 20\mu A$$

The Fractional-order integrator elements of circuit are connected to  $gm4$ . It's a  $T_I$  integrator of PID circuit to eliminating the steady-state error. The Fractional-order differentiator elements connected between  $gm2$  and  $gm3$ . It's a  $T_d$  differentiator of PID circuit to reduce the overshoot to an acceptable level and  $gm5$  and  $gm8$  are the proportional gain of circuit.

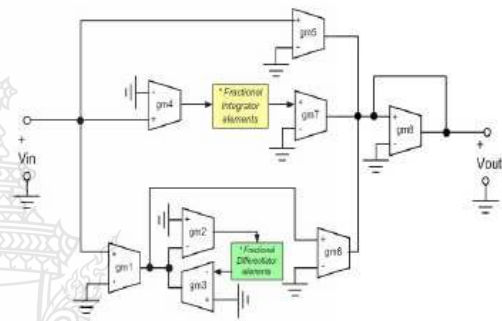


Figure 3. OTA base  $PI^{\lambda}D^{\mu}$  circuit (yellow block is represented of fractional-order integrator and green block is represented of fractional-order differentiator)

#### A. Experiment Optimize Output of PID Circuit without the Fractional Elements

In Figure 4, we have simulated the OTA base PID circuit [1] without the fractional elements by configuration the gain of equation (7) as following

$$\begin{aligned} K_p &= \frac{gm5}{gm8} \\ T_I &= \frac{gm4 gm7}{C_1 gm8} \\ T_d &= \frac{gm1 C_2 gm6}{gm2 gm3 gm8} \end{aligned} \quad (7)$$

where  $C_2$  is the differentiator capacitor and  $C_1$  is the integrator capacitor.

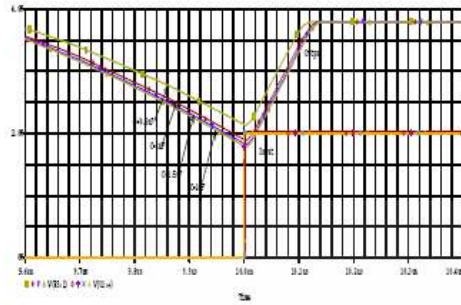


Figure 4. Result of simulation of the OTA base PID circuit

As we seen the waveform in Figure 4, and the pink line shown the good result is correspond to the PID theory. The pink line is represented of capacitor value is 1μF. It is satisfactory result to apply in both integrator and differentiator on the circuit.

**B. Fractional-Order Integrator**

The fractional integrator is a half-integrator [4] with truncated transmission model where current  $I(s)$  is input and voltage  $V(s)$  is the output describes in equation (8) and Figure 5.

$$G(s) = \frac{V(s)}{I(s)} = R_0 + \frac{1}{C_1 + \frac{1}{R_1 + \frac{1}{C_2 + \frac{1}{R_2 + \frac{1}{C_n + \frac{1}{R_n}}}}}} \quad (8)$$

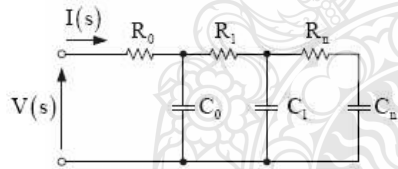


Figure 5. Fractional-order integrator circuit

For resistor and capacitor values, we choose approach with the frequency band of practical interest.

**C. Fractional-Order Differentiator**

The Fractional differentiator is an analogue to the admittance  $Y(s)$  of a resistor parallel with RC cells [4] as shown in Figure 6, describe in equation (9).

$$Y(s) = \frac{1}{R_p} + \sum_{i=0}^N \left( \frac{sC_i}{1 + sR_iC_i} \right) \quad (9)$$

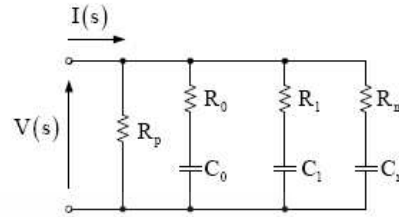


Figure 6. Fractional differentiator circuit

The resistors and capacitors values fractional differentiator in a given frequency band of practical interest are describe in equation (10).

$$R_p = \frac{1}{G_0}, C_i = K_i \quad (10)$$

**D. Fractional Rational Approximation**

An approximation formula is obtained a rational transfer function whose frequency response fits the frequency response of the original order transfer function.

$$T(s) = K_p + \frac{T_i}{s^\lambda} + s^\mu T_d$$

where  $s = j\omega$  is the complex frequency,  $\lambda$  and  $\mu$  are positive real number then can be written in equation (11).

$$G(s) = Kp + \left[ \frac{T_i}{s} \right] \left( \frac{1}{s^\lambda} \right) + [T_d s] (s^\mu) \quad (11)$$

To verify the fractional theory with realization by implemented the fractional integrator and differentiator on the circuit in Figure 3, and used the proportional gain  $K_p = 10$ , the integral gain  $T_i = 2s^{-1}$  and the derivative  $T_d = 5s$  and operates with the fractional-order both integrator and differentiator the result shown in Figure 7.

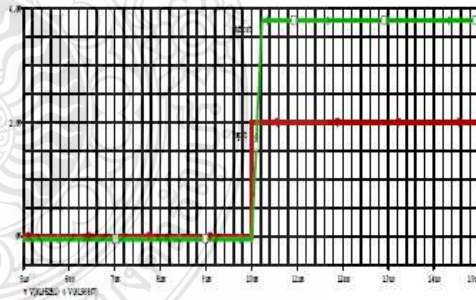


Figure 7. Result of simulation of the OTA base  $PI^\lambda D^\mu$  circuit



The waveform in Figure 7, after we have implemented the fractional-order elements both integrator and differentiator circuits on the transconductance amplifiers base PID circuit in Figure 3, then simulating by used same conditions unit step input, initial value 0 volt, final of input 2 volts, delay time 10 ms, rise time and fall time are 1ns, pulse width 0.1s and period is 0.2s. Comparison waveform in Figure 4 Vs Figure 7, shown that the fractional-order element circuits and output voltage of circuit is beginning start up below the input voltage level. It seems output start from the negative voltage level and satisfactory for steady-state error, overshoot, transient response and minimum delay time at the output.

#### IV. EXAMPLE THE FRACTIONAL ORDER $PI^{\lambda}D^{\mu}$ DESIGN

To design the fractional-order  $PI^{\lambda}D^{\mu}$  controller [5], this is given the example transfer function as following (This example transfer function refer to transfer function of LPF for future verify).

$$G(s) = \frac{1}{s^{2.6} + 2.2s^{1.5} + 2.9s^{1.3} + 3.32s^{2.9} + 1}$$

The integrator of PID order design as below

$$G_c(s) = 4.7960 \left( 1 + \frac{1}{5.6315s} + 0.3076s \right)$$

For this example given the frequency band of practical interest are  $\omega_{\min} = 0.01, 100 \text{ rad/s}$ ,  $\epsilon = 10^{-5}$ ,  $\omega_{\max} = 100 \text{ rad/s}$ ,  $\omega_{\min} = 10^2 \text{ rad/s}$ .

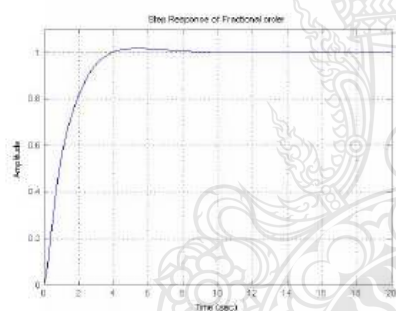


Figure 8. Step response of PID control fractional

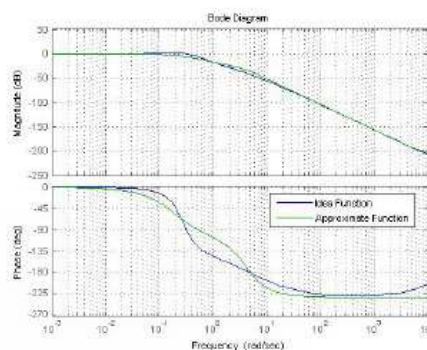


Figure 9. Phase and Magnitude Bode plots of PID fractional order and approximating rational function

In Figure 8, shown the step response of PID controller fractional order and overshoot, transient response are satisfactory results and Figure 9, Phase and Magnitude response bode plots are consistency with the design parameters. In phase plot by  $-\pi/2$ , It shown increasing gain with slope 20 dB/dec and the frequencies band of practical interested are overlapping as specified. It also had shown the high-order approximation in the feedback control system is very accuracy.

#### V. CONCLUSION

This paper presents the implementation the fractional-order method on the operational transconductance amplifier (OTA) base PID circuit by used approximating fractional integrator and differentiator methods and the elements of fractional circuits have been replaced instead of capacitors are on the classical model of OTA base PID circuit. It also had shown the example the fractional-order  $PI^{\lambda}D^{\mu}$  design. A step response, phase and magnitude bode plots are good results and acceptable according to the fractional-order and PID theories. It is simple to apply this technique to analogue circuits design and gain of controller, minimum the steady-state error and improve delay time at output of controller in the feedback control system or advantage in analog filter design.

#### REFERENCES

- [1] Cevat ERDAL, Ali TOKER, Cevdet ACAR "Ota-C Based Proportional-Integral-Derivative (PID) Controller and Calculating Optimum Parameter Tolerances", Turk J Elec Engin, Vol.9, No.2, pp.189-198, 2001.
- [2] YangQuan Chen, Ivo Petráš and Dingyu Xue "Fractional Order Control - A Tutorial", American Control Conference Hyatt Regency Riverfront, St. Louis, MO, USA, June 10-12, 2009, pp.1397 - 1411.
- [3] Charef "Analogue realization of the fractional-order integrator, differentiator and fractional  $PI^{\lambda}D^{\mu}$  controller", IEEE Proc-Control Theory Application, Vol. 53, No.6, pp.714 - 720, November 2006.
- [4] G. Radwan1, A. M. Soliman2 and A. S. Elwakil3 "Design equations for fractional-order sinusoidal oscillators: Four practical circuit examples", International Journal of Circuit Theory and Applications, pp.473-492, June 2008.
- [5] Monje, C.A. Chen, Y., Vinagre, B.M. Xue, D and Felru, V. "Fractional-order system and Controls", Springer, 1st Edition 2010.







<p><a href="#">Home</a></p> <hr/> <p><a href="#">Call For Papers</a></p> <hr/> <p><a href="#">Important Dates</a></p> <hr/> <p><a href="#">Paper Submission</a></p> <hr/> <p><a href="#">Registration</a></p> <hr/> <p><a href="#">Accommodation</a></p> <hr/> <p><a href="#">Editors</a></p> <hr/> <p><a href="#">Contact Us</a></p>	<p>• <a href="#">Click Here for Venue</a></p>	<p><b>Latest News</b></p> <ul style="list-style-type: none"> <li>-- The Proceedings will be archived in SEEK Digital Library along with ISSN Number.</li> <li>-- Registered papers will be published in International Journals with ISSN number.</li> <li>-- Registered Papers will be assigned Digital Object Identifier from CROSSREF.</li> <li>-- Proceedings will be Submitted to ISI Thomson for Review and Indexing</li> </ul>
<p><b>Associated Partners</b></p>     	<p>The International Conference on Advances in Electronics and Electrical Engineering - 2012 is being organized by Institute of Research Engineers and Doctors (IRED). The Aim of the conference is to provide the platform for Students, Engineers, Researchers and Scientists to share the knowledge and ideas in the recent trends in the field of Electronics and Electrical Engineering.</p> <p>The Proceedings of the Conference will be published by IRED-CPS along with ISSN Number. The Proceedings will be archived in SEEK Digital Library. Each Paper will be assigned Digital Object Identifier from CROSSREF. The indexing will be done by CROSSREF. Proceedings will be submitted to ISI Thomson for review and indexing. Registered Papers will also be published in International Journals along with ISSN Number.</p> <ul style="list-style-type: none"> <li>• The Proceeding of The conference will be submitted to the SEEK Digital Library.</li> <li>• The Proceeding will be indexed by CrossRef and DOI.</li> <li>• The Proceeding will be submitted to ISI Thomson for review and indexing.</li> <li>• The Papers will be published in International Journals.</li> </ul> <p>The Conference is being organized by Institute of Research Engineers and Doctors.</p>	
	 <p>Bangkok, Thailand  <a href="#">Click Here to know more</a></p>	<p><b>Organized By</b></p>  <p>Institute of Research Engineers and Doctors</p> <p><b>Published By</b></p>  <p><b>Archived In</b></p> 










<a href="#">Home</a>
<a href="#">Call For Papers</a>
<a href="#">Important Dates</a>
<a href="#">Paper Submission</a>
<a href="#">Registration</a>
<a href="#">Accommodation</a>
<a href="#">Editors</a>
<a href="#">Contact Us</a>

**Associated Partners**

**Honorable Chair**

Dr. Iraklis Paraskakis, Senior Research Officer, South East European Research Center, GREECE

Prof. Xiaoguang Yue, Southwest Forestry University, China

Dr. Thomas Edward, University of West Indies at Cave Hill, BARBADOS

**Technical Chair**

Dr. Deepak Luxmi Narasimha, Visiting Professor, University of Malaya, MALAYSIA

Prof. R.K. Singh, Officer on special Duty, Uttarakhand Technical University, INDIA

Dr. Arash Habibi Iashker, University Technology Malaysia, MALAYSIA

**Technical Co-Chair**

Dr. Arash Habibi Iashker, University Technology Malaysia, MALAYSIA

Dr. Deepak Luxmi Narasimha, Visiting Professor, University of Malaya, MALAYSIA

Dr. John L. Charley, University of West Indies at Cave Hill, BARBADOS

Dr. Eng. Fawaz B. Sadkhan, Chairman - IEEE IRAQ Section, University of Babylon, IRAQ

Dr. Anastasios A. Economides, Vice Chairman - Information systems, Department of Macedonia, GREECE

Prof. Saady R. Sotaiman, Salahaddin University - Hawler, Erbil, IRAQ

Prof. Xiaoguang Yue, Southwest Forestry University, China

Dr. Anas, University of Jordan, JORDAN

Dr. Jinbo Ahn, Kyongji University, SOUTH KOREA

Dr. Natarajan Meghanaithan, Jackson State University, Jackson, USA

Dr. ING. Netasa Zivic, University of Siegen, GERMANY

Dr. Thomas Edward, University of West Indies at Cave Hill, BARBADOS

Dr. Renu Dhir, National Institute of Technology, Jalandhar, INDIA

Dr. T.C. Manjunath, Principal, BTUTM, Bangalore, India

**General Chair**

Sahil Seth, Cyber Security Research Center, India

Copyright - Institute of Research Engineers and Doctors





**SEEK DIGITAL LIBRARY**

ZOEKEN DIGITALE BIBLIOTHEEK  
 CHERCHENT BIBLIOTHEQUE NUMÉRIQUE  
 KĚRKOJNÉ BIBLIOTEKA DIGITÁLE  
 TRAŽITI DIGITALNA KNJIŽNICA  
 CERCARE BIBLIOTECA DIGITALE  
 SUCHEN DIGITALEN BIBLIOTHEK  
 ESKATU LIBURUTEGI DIGITALA  
 QUERITE DIGITAL LIBRARY  
 BUSCAR LA BIBLIOTECA DIGITAL  
 LEABHARLANN DHIGITEACH A LORG  
 TRAŽITI DIGITALNA KNJIŽNICA  
 SOGE DIGITALE BIBLIOTEK  
 DIGITAL KITABXANA AXTRMAQ  
 HLEDAT DIGITALNÍ KNIHOVNA

Global: Success

[Home](#)
[Membership](#)
[Conference Proceedings](#)
[Journals](#)
[IRED-CPS](#)
[Contact Us](#)

Note : Login to access full Paper

**International Conference on Advances in Electronics and Electrical Engineering - AEEE 2012**



**CHIEF EDITOR :**  
Dr. R.K. Singh

**AIM :**  
The aim of the conference is to provide the platform for Graduates, Postgraduates, Engineers, Researchers and Scientists to share their ideas on the upcoming research fields.

**RELATED TOPICS :**  
Digital Signal Processing, Communication Networks, Satellite Communication, Control Engineering and etc.

**ISBN :**  
978-981-07-2683-6

**DATE OF CONFERENCE :**  
June 23, 2012

**CONFERENCE VENUE :**  
Hotel Lebua At State Tower, Bangkok, Thailand

**PUBLISHER :**  
UACEE

**UACEE**

**International Conference on Advances in Electronics and Electrical Engineering - AEEE 2012**

CONFERENCE WEBSITE    CALL FOR PAPERS    CONF ORGANIZERS

---

|

---

- Hybrid AES-DES Block Cipher: Implementation using Xilinx ISE 9.1i  
 Page(s): 1 - 5  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-101  
 Author: Anurhea Dutta, Prema Bharti, Swati Agrawal, K. S. Surekha  
 View: [ABSTRACT](#)
- Classification of Paper-based Electrocardiogram  
 Page(s): 6 - 9  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-102  
 Author: Garn Wungkobkiat, Dusit Thanapatay, Chusak Thanawattano, Akinori Nishihara  
 View: [ABSTRACT](#)
- PEMFC Modeling Considering Destructive Signal and Design Adaptive Filter  
 Page(s): 10 - 15  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-103  
 Author: M. Khorasani, H. A. Aalami  
 View: [ABSTRACT](#)
- Impact of Sampling Theorem on Pilot Aided Channel Estimation for OFDM based Multi-Carrier System  
 Page(s): 16 - 20  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-104  
 Author: Richa Bhatt, Shweta Shah  
 View: [ABSTRACT](#)
- Neural Network Predictive Control of UPFC for Enhancing Transient Stability Performance of a Single Machine Infinite Bus System  
 Page(s): 21 - 25  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-105  
 Author: Sheela Twari, R. Naresh, R. Jha  
 View: [ABSTRACT](#)
- Low Cost Multi-Lead ECG Signal Acquisition in Real Time with Telemetric Capability  
 Page(s): 26 - 28  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-106  
 Author: Salauddin Shaikh, Pushpraj, K. S. Surekha  
 View: [ABSTRACT](#)
- Tunable OTA Low Pass Filter with the Fractional-Order step Technique  
 Page(s): 29 - 32  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-107  
 Author: Tanet Suksang, Virote Pirajanchai, Wisit Loedhammacakra  
 View: [ABSTRACT](#)
- Analysis of Transform Based ECG Compression Techniques  
 Page(s): 33 - 37  
 Digital Object Identifier: 10.3850/978-981-07-2683-6 AEEE-108  
 Author: Vikramadiya Dangi, Amol Parab, Kshitij Pawar  
 View: [ABSTRACT](#)

[First <> Last](#)

Home | Membership | Conference proceeding services | Contact us

Copyright © Seek Digital Library 2011-2012. All Rights Reserved.

# Tunable OTA Low Pass Filter with the Fractional-Order step Technique

Tanet Suksang

Electronics and Telecommunication Engineering Department  
Rajamangala University of Technology Thanyaburi  
Pathumthani, Thailand  
Tanet555@yahoo.co.th

Virote Pirajanchai, Wisit Loe dhammacakra

Electronics and Telecommunication Engineering Department  
Rajamangala University of Technology Thanyaburi  
Pathumthani, Thailand  
virote.p@en.rmutt.ac.th, wisit@rmutt.ac.th

**ABSTRACT**— This paper presents the tunable technique of the analog filter at high frequency  $f_p = 1$  MHz by used the Fractional-order  $(n+\alpha)$  step, where  $n$  is an original of integer-order on circuit and  $\alpha$  is an approximation order step  $0 < \alpha < 1$ . An approximation order is designed from the Fractance circuits, and also presents the approximation function of the Fractional-order Laplacian  $s^\alpha$  design on the OTA low-pass filter circuit. This circuit used single active component, OTA and CFA components are in monolithic chip (IC LT1228). The CFA design with the Fractional-order elements to feedback control the OTA for relative stability gain of amplifier. The results shown that tunable filter by Fractional-order step technique provides the flat passband and reduced the peaking problem and improved slope of magnitude response of filter and result comparable with high-order filters.

**Keywords**— Operation Transconductance; Fractional-order; Low Pass filter; Fractance circuits

## I. INTRODUCTION

The filters are electronics circuit used in the signal processing for attenuation of unwanted frequency [1], and many research presented and designed the Fractional-order low pass filter by used the OP-AMP (Operation Amplifier) and not designed at high frequency. This filter has been designed by used the operation transconductance amplifier (OTA) designed with the Fractional-order calculus to improve the performance of filter. IC OTA LT1228 (Linear Technology) provides one of the largest bandwidth and available on the market today and this is the reason why it was selected to design and simulation. The structure of filter has designed by refer to the Butterworth model. Why we choose the Fractional-order theoretical to implement on the OTA low pass filter because we would like to use the positive effects of the Fractional-order behavior to increase relative stability in the frequency domain by the  $\pi/2$  phase, increase gain with slope of 20 dB/dec and reducing the steady-state error.

The frequency response of the generalize filter. It is a ratio of two polynomials. It can be written in equation (1).

$$T(s) = \frac{N(s)}{D(s)} \quad (1)$$

The roots of the denominator polynomial  $N(s)$  are called poles and the roots of the numerator polynomial  $D(s)$  are refer

to as zeros. The Fractional-order derivative is defined, according to the Riemann-Liouville definition [2] in equation (2).

$$\frac{d^\alpha}{dt^\alpha} f(t) = D^\alpha f(t) = \frac{1}{\Gamma(1-\alpha)} \frac{d}{dt} \int_a^t (t-\tau)^{-\alpha} f(\tau) d\tau \quad (2)$$

where  $0 < \alpha < 1$ , and  $a$  is the initial time instance, often assumed to be zero, i.e.,  $a = 0$ . The differentiation is then denoted as  $D^\alpha f(t)$ .

Use the Laplace transform then yield is in equation (3)

$$L\{D_t^\alpha f(t)\} = s^\alpha F(s) \quad (3)$$

The Riemann-Liouville definition is used definition in the Fractional-order calculus. The subscripts on both sides of  $D$  represent, respectively, the lower and upper bounds in the integration. The basic instruction of the filter came from [2]. This filter can work in voltage and current modes and used only single operation transconductance amplifier to a second order design with the high frequency  $f_p = 1$  MHz, and improve the performance of filter circuit by Fractional-order step and design the fractance circuits to be the Fractional-order Laplacian.

In this paper we propose to optimize the performance of filter at high frequency by utilize the approximation order for the Fractional-order Laplacian. This paper shown that tunable obtained characteristics extends those of the Butterworth filter from approximation order step  $(n+\alpha)$ ,  $\alpha = 0.1, 0.5$  and  $0.9$ . The PSPICE and MATLAB simulations and experimental results are depicted and correspond well with the theoretical.

## II. FRACTIONAL ORDER IN FREQUENCY DOMAIN

### A. Continuous-time of Fractional-order operator

The Fractional-order operator [1], it is a Laplace and represented is  $s^\alpha$  which exhibits straight line on both is magnitude and phase bode plot. It is useful to fit the frequency response over a frequency range of interest  $(\omega_s, \omega_k)$ .

Continued fraction expansion (CFE) is used to approximate the Fractional-order operator,  $G_{(s)} = S^\alpha$ , the continued fraction expansion can be written in equation (4).

$$G(s) = \frac{b_0(s)}{a_0(s) + \frac{b_1(s)}{a_1(s) + \frac{b_2(s)}{a_2(s) + \dots}}} \quad (4)$$

The Fractional-order integrator with  $S^\alpha$  to second order. The rational function approximation using different continued fraction expansion is in equation (5) [1].

$$s^\alpha \approx \frac{(\alpha^2 + 3\alpha + 2)s^2 + (8 - 2\alpha^2)s + (\alpha^2 - 3\alpha + 2)}{(\alpha^2 - 3\alpha + 2)s^2 + (8 - 2\alpha^2)s + (\alpha^2 + 3\alpha + 2)} \quad (5)$$

The approximation of  $s^{0.5}$ , magnitude and phase bode plots response shown in Figure 1.

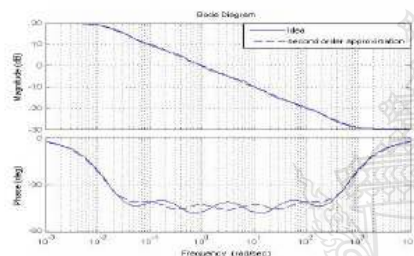


Figure 1. Magnitude and phase bode plots of  $S^{0.5}$

The magnitude and phase bode plots are shown in Figure 1. It seems that the Bode plots of filter are relatively close to the theoretical over the frequency range of interest.

**B. Fractance circuit for  $S^{0.5}$  Fractional calculus**

The Fractance circuit consists of resistor and capacitor describes by integer-order model. A tree-type infinite recursive formed by impedance  $Z_a$  and  $Z_b$  [3]. It possesses high self-similarity and shown in Figure 2.

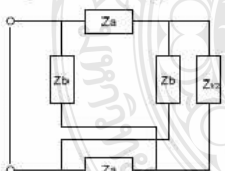


Figure 2. Equivalent circuit of  $S^{0.5}$  net-grid-type analog Fractance circuit

According to linear algebra theoretical, so total impedances the yield is in equation (6)

$$Z_{\psi_2} = \frac{V_1}{i_a + i_b} = \frac{2Z_a Z_b Z_{\psi_1} (Z_a + Z_b)}{2Z_{\psi_1} + Z_a + Z_b} \quad (6)$$

$$Z_{\psi_2} = (Z_a Z_b)^{\frac{1}{2}}$$

Then we have experimented  $s^{0.5}$  order-differentiator with the rectangle-wave signal. The result shown in Figure 3.

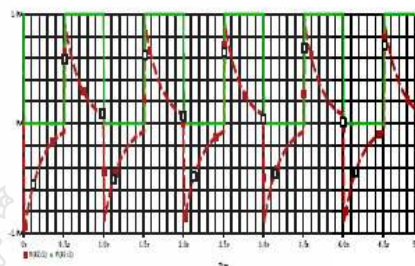


Figure 3. Waveform Input Vs Output of  $s^{0.5}$  order-differentiator.

In Figure 3, Green line is the input voltage of Fractance circuit in Figure 2.  $V_1 = 1V$ ,  $V_2 = 0V$ ,  $TD = 10mS$ ,  $TR = 10mS$ ,  $TF = 10mS$ ,  $PW = 0.5S$  and  $PER = 1S$ . We discovered the output (Red line) of circuit is beginning start up from the initial voltage level (0 volt) while the input is start up from the maximum voltage level, which is 1 volt in the simultaneity. That is fully proofed the circuit is properly worked and correspond to Fractional-order theoretical with we depicted to verify the  $s^{0.5}$  order and used this technique to be a part in filter design.

**III. THE FRACTIONAL-ORDER LOW PASS FILTERS**

The Fractional of low pass filters classical transfer function [4] is in equation (7).

$$T_{LPP}(s) = \frac{d}{s^\alpha + a} \quad (7)$$

The magnitude and phase of classical fractional transfer functions are describes in equation (8) and (9).

$$|T_{LPP}(j\omega)| = \frac{d}{\sqrt{\omega^{2\alpha} + 2a \cos\left(\frac{\alpha\pi}{2}\right) + a^2}} \quad (8)$$

$$\angle T_{FLPF}(j\omega) = -\tan^{-1} \frac{\omega^\alpha \sin\left(\frac{\alpha\pi}{2}\right)}{\omega^\alpha \cos\left(\frac{\alpha\pi}{2}\right) + a} \quad (9)$$

The important critical frequencies for this FLPF are found  $\omega_n = \omega_0 (-\cos(\alpha\pi/2))^{1/\alpha}$ ,  $\omega_p = \omega_0 / (-\cos(\alpha\pi/2))^{1/\alpha}$ , and  $\omega_h = \omega_0 (\sqrt{1 + \cos^2(\alpha\pi/2)} - \cos(\alpha\pi/2))^{1/\alpha}$ . From these expressions it is seen that both  $\omega_n$  and  $\omega_h$  exist only if  $\alpha > 1$ .

- $\omega_n$  is the frequency at which the magnitude response has a maximum or a minimum.
- $\omega_h$  is the half-power frequency at which the power drops to half the pass band power.
- $\omega_p$  is the right-phase frequency at which the phase  $\angle T_{FLPF}(j\omega_p) = \pm\pi/2$ .

IV. REALIZATION TUNABLE OTA LOW PASS FILTER WITH THE FRACTIONAL ORDER STEP

A. Circuit Design

To realize the transfer function to correspond with the Fractional-order theoretical as shown in equation (7) that used single operation transconductance amplifier and CFA. The circuit for simulation and verify are shown in Figure 4.

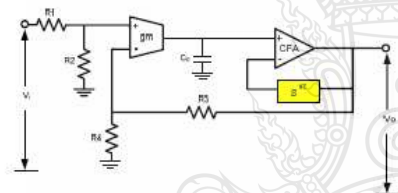


Figure 4. OTA LT1228 circuit used in the approximation to the Fractional low pass filter of order  $(n + \alpha)$

The Low Pass Filter circuit in Figure 4, consists of transconductance amplifier and CFA (Current Feedback Amplifier). This filter used an integer order approximation of  $s^\alpha$  and built an integer order filter that demonstrates the fractional step through the stop band. The CFA has designed to operate with the fractance circuit for finite gain bandwidth of filter and help for low output impedance capability. According to specification of IC the transconductance can be configured by  $I_{set}$ . We replaced the fractance circuit on a negative feedback of CFA. The purpose of replacement to current feedback control gain of buffering and also backward feedback control to the input ( $V_{in^-}$ ) of OTA which is proportional of control current output follows equation (10).

$$I_o = gm(V_{in^+} - V_{in^-}) \quad (10)$$

As the depiction if controllable the gain of amplifier and gain of buffer CFA by Fractional-order behavior that can be reduced error from gain amplifier, increasing gain with slope of 20 dB/dec and reduced the peaking of filter at the interval cut-off frequency.

B. Simulation and Experimental results

The transfer function in Figure 4, can be derived from KCL and node methods then yield approximate transfer function is.

$$T(s) = \frac{V_o}{V_{in}} = \frac{\frac{gm}{C_1} \frac{R_2}{R_1 + R_2}}{s^{(1+\alpha)} \left[ \frac{R_1^2}{R_1 + R_2} \right] + \frac{gm}{C_1} \frac{R_2}{R_1 + R_2} s + 1} \quad (11)$$

In the data sheet of IC the transconductance calculates from equation (12)

$$gm = hI_{set} \quad (12)$$

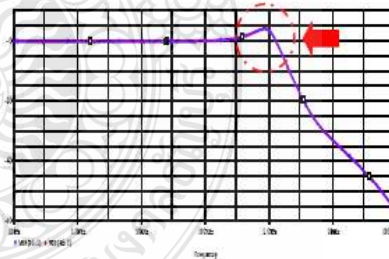
In equation (12)  $h = 8.8$  because in the datasheet of IC LT1228 [5] the transconductance is specified  $h = 10$  for resistor load but this filter has designed with the Fractance load which is a virtual of capacitor, so  $h = 8.8$ .

The CFA can be used as the voltage follower and voltage of  $V_{co}$  to supply the current input of the CFA then output had also feedback to the input of OTA (negative input) help for control gain amplifier of OTA and help for relative stability flat passband. The all of positive effects are from Fractance circuit operations. The value of  $I_{set}$  for filter can be configured as following

$$f_p \in 1 \text{ MHz}, \quad I_{set} = 1.14 \text{ mA}$$

C. Simulation filter circuit without the Fractional-order step

We have verified the filter before implement the Fractional-order step by used  $C_0 = 47\text{pF}$ , the CFA gain = 1, and  $I_{set} = 1.14 \text{ mA}$ .





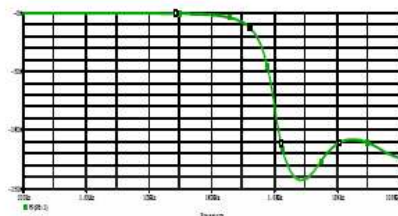


Figure 5. Magnitude and Phase Bode plots response

In Figure 5, we found on the magnitude response at the cut-off frequency of filter appears the peaking problem and found slope is not satisfied then analyzed and assume the peaking occurred from the steady-state error of amplifier that is the point why needed to improve the weakness.

#### D. Implement the Fractional-order step

We have implemented the Fractional order step  $(1+\alpha)$  on the circuit in Figure 4, for the cases  $\alpha=0.1, 0.5$  and  $0.9$ . The results in all pole frequency values and method of experimental same as item C.

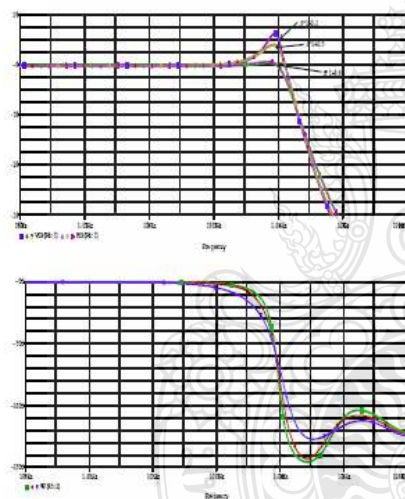


Figure 6. Magnitude and Phase response of filter after implemented the Fraction Order step, blue line is  $\alpha=0.1$ , red line is  $\alpha=0.5$  and green line is  $\alpha=0.9$

In Figure 6, after the circuit has been implemented the Fractional-order step  $\alpha=0.1, 0.5$  and  $0.9$  to verify the

suspicion. The step response of  $\alpha=0.9$  order. The result shown very stability and can be reduced the peaking at cut-off frequency.

Comparison Magnitude response between Figure 5, Vs Figure 6, found in the Figure 6, the slope of filter is satisfied. It comparable to high order filters which it is used more active components. The simulation results are proved that the integer order filter could accurately approximate the function and reduced the peaking problem.

#### V. CONCLUSION

The tunable OTA Low Pass Filter with the Fractional-order step is designed by used only single operation transconductance amplifier and Fractance circuits. The results of simulation that the tunable by Fractional-order step technique can be reduced the peaking problem at the cut-off frequency and maintaining the flat passband of magnitude response and during the experiment found some positive effect on slope of filter is stability than without uncontrolled (CFA gain =1). This work has designed for the high frequency and result of simulations are correspond to the theoretical anticipation. It fully proved the Fractional-order step can be applied to improve the performance of filters at high frequency. This tunable technique can be applied to the multifunction filters, phase lock loop circuit and instrument application circuit.

#### REFERENCES

- [1] T. Fraeborn, B. Maundy, and A. Elwakil, "Towards the Realization of Fractional Step Filter", Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, June 2010, pp. 1037 – 1040.
- [2] A. G. Radwan1, A. M. Soliman2, and A. S. Elwakil3, "Design equations for fractional-order sinusoidal oscillators: Four practical circuit examples", International Journal of Circuit Theory and Applications, Vol. 36, Issue 4, pp. 473–492, June 2008.
- [3] P. Yifei, Y. Xiao, L. Ke and Z. Jiliu, "Structuring Analog Fractance Circuit for 1/2 Order Fractional Calculus" ASIC, 2005. ASICON 2005, 6th International Conference" Oct. 2005, pp.1136–1139.
- [4] A. G. RADWAN, A. M. SOLIMAN, and A. S. ELWAKIL, "First Order filter generalized to the Fractional Domain", Journal of Circuits, Systems, and Computers, Vol. 17, No. 1, pp.55–66, 2008.
- [5] P. Vyskočil, "Multifunctional Tunable Filter with OTA" Brno University of Technology, MSM21630513.
- [6] PODLUBNY and I. PETRÁŠ, "Analogue Realizations of Fractional-Order Controllers" Nonlinear Dynamics 29, pp.286–296, 2002.
- [7] M. Ošák and D. Bišek, "Controlled filters with LT1228 OTA amplifiers", unpublished.
- [8] I. Podlubny, L. Dorcak, and I. Kostial, "On Fractional Derivatives, Fractional-Order Dynamic Systems and PID-controller", Conference on Decision & Control San Diego, pp. December 1997, pp. 4985–4990.



**EDSSC2012**

*The 8<sup>th</sup>*  
*IEEE International Conference*  
*on Electron Devices and Solid-State Circuits*

### Conference Proceedings

- Message
- Committee
- Technical Program
- Venue Map



**December 3-5, 2012**  
*The Maha Chulalongkorn Lecture Hall*  
*Chulalongkorn University, Bangkok, Thailand*

[Home](#)
[Fit Page](#)
[Back](#)

## Committee

### General Co-Chairs:

- Somsak Panyakeow Chulalongkorn University, Thailand
- Juin J. Liou University of Central Florida, U.S.A.
- Pansak Siriratchatapong NECTEC, Thailand

### Technical Program Co Chairs:

- Ekachai Leelarasmee Chulalongkorn University, Thailand
- Hei Wong City University of Hong Kong, Hong Kong

### Secretariat:

- Thavatchai Tayjasanant Chulalongkorn University, Thailand

### Publicity Co chairs:

- Wai Tung NG U. of Toronto, Canada

### Publication Co Chairs:

- Alex ongpech Dhurakijpundit University, Thailand
- Mansun Chan Hong Kong U. of Science and Technology, Hong Kong

### Technical Program Committee:

- Mana Sriyudthsak Chulalongkorn University, Thailand
- Songphol Kanjanachuchai Chulalongkorn University, Thailand
- Wanlop Surakamponrom KMITL, Thailand
- Preecha Yupapin KMITL, Thailand
- Apinunt Thanachayanont KMITL, Thailand
- Chiranut Sa-Ngiamsak KKU, Thailand
- Apisak Worapishet MUT, Thailand
- Sarun Sumriddetchkajorn NECTEC, Thailand
- Wibool Piyawattanametha NECTEC, Thailand
- Suwat Sopitpan TMEC, Thailand

### Local Arrangement Committee:

- Choompol Antarasena Chulalongkorn University, Thailand
- Arporn Teeramongkonrasmee Chulalongkorn University, Thailand
- Wanchalerm Pora Chulalongkorn University, Thailand
- Suwaree Suraprapapich Seagate, Thailand



[Home](#)
[Fit Page](#)
[Back](#)

## Steering-committee

### International Steering Committee:

- Jianguo Ma	Tianjin University, China
- Jan Van der Spiegel	University of Pennsylvania, U.S.A.
- Krishna Shenai	University of Toledo, U.S.A.
- Hiroshi Iwai	Tokyo Institute of Technology, Japan
- Simon Deleonibus	CEA-LETI, France
- Siegfried Selberhers	Vienna University of Technology, Austria
- Te-Kuang Chiang	National University of Kaohsiung, Taiwan
- Zhou Xing	Nanyang Technological University, Singapore
- W. K. Yeh	National University of Kaohsiung, Taiwan
- Chao-Sung LAI	Chang Gung University, Taiwan
- Tian-Ling Ren	Tsinghua University, China
- Albert Wang	University of California Riverside, U.S.A.
- Ming Dou Ker	National Chiao-Tugn University, Taiwan
- Yeong-Her Wang	National Cheng Kung University, Taiwan
- Yan Zhao	Chulalongkorn University, Thailand
- Mana Sriyudthsak	Chulalongkorn University, Thailand
- Wanlop Surakamponorn	KMITL, Thailand
- Prabhas Chongsatitwattana	Chulalongkorn University, Thailand
- Arnel Salvador	Philippines
- Yoon Soon Fatt	Singapore
- Chua Soo-Jin	Singapore
- Chantal Fontaine	France
- Wilson Walery Wenas	Indonesia
- Ikuo Suemune	Japan
- Charles Tu	U.S.A.
- Suwit Kiravittaya	Naresuan University, Thailand
- Yongfeng Mei	China
- Seeram Ramakrishna	Singapore
- Authong H.W.. Choi	The University of Hong Kong, Hong Kong
- Kong-pang Pun	The Chinese University of Hong Kong
- P. T. Lai	The University of Hong Kong, Hong Kong



Home

Fit Page

Back

**Poster Session** December 4, Tuesday (17:15 - 18:15)

Venue: Room 101

P01	<b>Influence of under-bump metallurgy and solder alloys on the crack in the wafer level chip scale packaging</b> J. H. Lu, M. Xu, H. Zhang, H. L. Lu and D.W. Zhang, <i>Fudan University, China</i>
P02	<b>Reliability study of zinc oxide thin-film transistor with high-K gate dielectric</b> D. Han, Y. Geng, J. Cai, W. Wang, L. Wang, Y. Tian, Y. Wang and L. Liu, <i>Peking University, China</i> ; S. Zhang, <i>Peking University, China</i>
P03	<b>Analytical modelling of current in higher width graphene nanoribbon field effect transistor</b> T. Muntasir, S. D. Gupta, Md. S. Islam, <i>Bangladesh University, Bangladesh</i>
P05	<b>Design of driving transistor in a-Si:H TFT gate driver circuit</b> C. Zheng, C. Liao, J. Li and S. Zhang, <i>Peking University, China</i>
P06	<b>Improvement of SiGe HBT frequency performance including NBR current</b> H. Kaatuzian, H. Davoodi, <i>Amirkabir University, Iran</i>
P07	<b>Energy capacity of voltage dependent capacitor for the calculation of MOSFET's switching losses</b> Y. Kulvittit, <i>Chulalongkorn University, Thailand</i>
P08	<b>Feedback compensator design for a two-switch forward converter</b> V. Wuti, T. Kerdpol, and C. Bunlaksanusorn, <i>King Mongkut's Institute of Technology Ladkrabang, Thailand</i>
P10	<b>Communication circuit for series connected solar panels</b> P. Sirinamaratana, E. Leelarasmee, <i>Chulalongkorn University, Thailand</i>
P11	<b>Simple quadrature sinusoidal oscillator with orthogonal control using single active element</b> T. Pourak, P. Suwanjan, W. Jaikla, <i>King Mongkut's Institute of Technology Ladkrabang Bangkok, Thailand</i> ; S. Maneewan, <i>Buriram Rajabhat University, Thailand</i>
P12	<b>A VCO based continuous time delta sigma ADC with 10MHz BW 55dB SNR and 42dB SNDR</b> X. L. Zhang, J. Z. Chen, Z. T. Xu, Q. Yu, Y. Liu, <i>University of Electronic Science and Technology of China, China</i>
P13	<b>1.2 V folded down-conversion wideband mixer in 65-nm CMOS</b> N. M. Amin, Z. G. Wang, B. Kuan, Z. Li, <i>Southeast University, China</i>
P15	<b>A 14-bit column-level ADC for IRFPA</b> Y. Zhang, W. Lu, Y. Chang, H. Chu, G. Wang, Y. Zhang, Z. Chen, <i>Peking University, China</i>
P16	<b>Contacts charge transport and additional noise properties of semiconductor CdTe sensors</b> O. Sik, L. Grmela, J. Sikula, <i>Brno University of Technology, Czech</i>
P17	<b>A MISO current-mode biquad filter using a minimum number of active and passive components</b> A. Koomchaya, P. Suwanjan, W. Jaikla, <i>King Mongkut's Institute of Technology, Thailand</i> ; S. Maneewan, <i>Buriram Rajabhat University, Thailand</i>
P18	<b>A low-power low-noise VCO with nearly constant <math>k_{vco}</math> for UHF RFID transceivers</b> S. Liu, X. Wang, X. Chen, X. Fan, H. Zhang, <i>Chinese Academy of Sciences, China</i>
P19	<b>A hardware design of MS/MMS-based LDPC decoder</b> I. Tanyanon, S. Choomchuay, <i>King Mongkut's Institute of Technology, Thailand</i>
P20	<b>The correlated noise reducing model using a Kkalman filter for speech vector quantization</b> J. Rassameyoungtong, J. Srinonchat, <i>Rajamangala University, Thailand</i>
P21	<b>Laser diode modulation under large signal conditions</b> A. Ahmadian, <i>Sharif University of Technology, Iran</i>
P22	<b>Ripple carry adder using five input majority gates</b> B. Bishnoi, M. Giridhar, B. Ghosh, M. Nagaraju, <i>Indian Institute of Technology Kanpur, India</i>
P23	<b>Design and improve the performance of OTA low pass filter with fractional-order step</b> T. Suksang, V. Pirajnanchai, C. Suppitaksakul, W. Loedhammacakra, <i>Rajamangala University, Thailand</i>

# Design and Improve the Performance of OTA Low Pass Filter with Fractional-Order Step

Tanet Suksang, Virote Pirajanchai, Chatchai Suppittaksakul and Wisit Loedhammacakra  
 Electronics and Telecommunication Engineering Department  
 Rajamangala University of Technology Thanyaburi  
 Pathumthani, 12110, Thailand  
 Tanet555@yahoo.co.th, Virote.p@en.rmutt.ac.th, Chatchai.s@en.rmutt.ac.th and Wisit@rmutt.ac.th

**ABSTRACT**— This article presents a circuit design to improve the performance of analog filter at high frequency  $f_p = 1$  MHz by used the Fractional-order ( $n + \alpha$ ) step, where  $n$  is an original of integer-order in circuit and  $\alpha$  is an approximation order step  $0 < \alpha < 1$ . The approximation order is designed from the Fractance circuit. This article also presents the approximation function of the Fractional-order Laplacian  $s^\alpha$  which is designed on the OTA low pass filter circuit. This circuit used single active component. OTA and CFA components are in monolithic chip (IC LT1228). The CFA is designed to work with the Fractional-order elements to feedback control the OTA for relative stability gain of amplifier. The results shown that the improvement by Fractional-order step provides the sustainability of flat passband, reduced the peaking at the cut-off frequency, improved slope of magnitude response of filter and result comparable with high-order filters.

**Keywords**— Operation Transconductance Amplifier; Fractional-order; Low Pass filter; Fractance circuits

## I INTRODUCTION

The filters are electronics circuit use in the signal processing and communication for attenuation of the unwanted frequencies [1], and previous article had presented and designed the Fractional-order for low pass filter and used more active components and not designed for high frequency. This filter circuit has been designed by used the operation transconductance amplifier (OTA) to design with the Fractional-order calculus to improve the performance of filter circuit. IC OTA LT1228 (Linear Technology) provides one of the largest bandwidth and available on the market today. The basically structure of filter has designed by refer to the Butterworth function. Why we selected the Fractional-order theoretical to improve the performance of OTA low pass filter because we would like to use the positive effects of the Fractional-order behavior to fast response for increase relative stability in the frequency domain by the  $\pi/2$  phase, increase gain with slope of 20 dB/dec and reduction of steady-state error. This Fractional-order filter can be used for analog circuits or attenuation selective in frequency, and allow reduction of amplitude of the high frequency switching.

The frequency response of the generalize filter. It is a ratio of two polynomials. It can be written in equation (1).

$$T_{(s)} = \frac{N_{(s)}}{D_{(s)}} \quad (1)$$

The roots of the denominator polynomial  $D(s)$  are called poles and the roots of the numerator polynomial  $N(s)$  are refer to as zeros. The Fractional-order is a branch of mathematical analysis real number of complex number of differential operator describes in equation (2), Half-derivative

$$H^2 f(x) = Df(x) = \frac{d}{dx} f(x) = f'(x) \rightarrow (A) \quad (2)$$

$$f(x) = x^k \rightarrow (2.1)$$

$$f'(x) = \frac{d}{dx} f(x) = kx^{k-1} \rightarrow (2.2)$$

Substituting equation (2.1) and (2.2) in (A)

$$\frac{d^a}{dx^a} x^k = \frac{k!}{(k-a)!} x^{k-a}, \text{ substituting the factorial function}$$

with the grammar functions because the factorial function could not realization the circuit. Here is a yield of Fractional-order equation.

$$\frac{d^a}{dx^a} x^k = \frac{\Gamma(k+1)}{\Gamma(k-a)} x^{k-a} \quad (3)$$

The complete Fractional derivative that shown in equation (4) which will yield same as equation (3) where  $0 < \alpha < 1$ , and the initial time instance, assumed to be zero.

$$D^\alpha f(t) = \frac{1}{\Gamma(1-\alpha)} \frac{d}{dt} \int_0^t \frac{f(\tau)}{(t-\tau)^\alpha} d\tau \quad (4)$$

The Riemann-Liouville definition is most widely used definition in the Fractional-order calculus. The subscripts on both sides of  $D$  represent, respectively, the lower and upper bounds in the integration [2]. This filter can be worked on both voltage and current modes and used only single operation transconductance amplifier to a second order design to work on the high frequency  $f_p = 1$  MHz and improve the performance of filter circuit by Fractional-order steps and design the Fractance circuit to be the Fractional-order Laplacian  $s^\alpha$ .

This paper shown that tunable obtained characteristics extends those of the Butterworth filter from approximation order step  $(n + \alpha)$ ,  $\alpha = 0.1, 0.5$  and  $0.9$ . The PSPICE and MATLAB simulations and experimental results are depicted and correspond well with the theoretical.

II. FRACTIONAL ORDER IN FREQUENCY DOMAIN

A. Continuous-time of Fractional-order operator

The transfer function of Fractional-order integrator [2] in the frequency domain is represented in Figure 1.

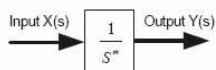


Figure 1. Input and Output of a Fractional order operating where  $S = j\omega$  is the complex frequency and  $m$  is a positive real number such that  $0 < m < 1$

The example transfer function of Fractional-order of integrator ( $s^{-0.65}$ ) is represented as below.

$$G(z) = \frac{0.9992}{s^{0.65} + 1.5084}$$

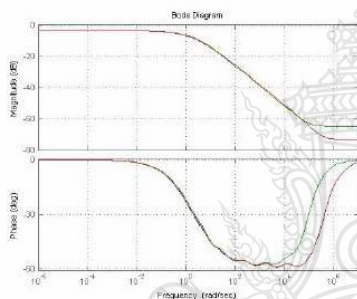


Figure 2. Magnitude and phase bode plot of the integrator  $s^{-0.65}$

In Figure 2, shown the magnitude and phase bode plots of Fractional-order integrator that the integer orders =  $s^{-0.65}$ . We discovered both of magnitude and phase are overlapping at frequency range  $10^{-3}$  -  $10^4$  rad/s which is correspond to Fractional-order theoretical.

B. Fractance circuit for  $s^{0.5}$  (Half-integrator) Fractional calculus

The Fractance circuit consists of resistor and capacitor describes by integer-order model. A tree-type infinite recursive formed by impedance  $Z_a$  and  $Z_b$  [3]. It is possesses high self-similarity and shown in Figure 3.

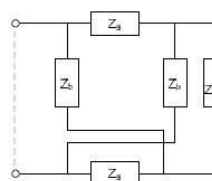


Figure 3. Equivalent circuit of  $s^{0.5}$  net-grid-type analog Fractance circuit

According to linear algebra theory, so total impedances the yield is in equation (5).

$$Z_{Q2} = \frac{V_1}{i_a + i_b} = \frac{2Z_a Z_b + Z_{Q2}(Z_a + Z_b)}{2Z_{Q2} + Z_a + Z_b} \tag{5}$$

$$Z_{Q2} = (Z_a Z_b)^{\frac{1}{2}}$$

Then we have experimented  $s^{0.5}$  order-differentiator by applied the input signal with rectangle-wave. The input and output waveforms are in Figure 4.

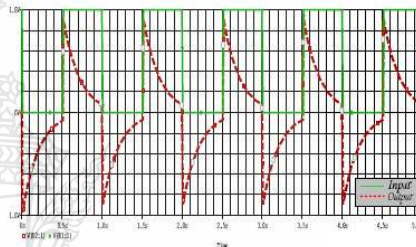


Figure 4. Waveform Input Vs Output of  $s^{0.5}$  order-differentiator

In Figure 4, green line is the input voltage of Fractance circuit in Figure 3,  $V_1 = 1V, V_2 = 0V, TD = 10mS, TR = 10mS, TF = 10mS, PW = 0.5S$  and  $PER = 1S$ . The result of simulation, we discovered the output (red line) of circuit is beginning start up from the initial voltage level (0 volt), it seems fast response while the input is start up from the maximum voltage level, which is 1 volt in the simultaneity. That is fully proofed the circuit is properly worked and correspond to Fractional-order theoretical with we depicted to verify a half-order for future use this technique to be a part for filter circuit design.

III. THE FRACTIONAL-ORDER LOW PASS FILTERS

The Fractional of low pass filters classical transfer function [4] is in equation (6).

$$I_{FIR}(z) = \frac{d}{s^a + a} \tag{6}$$

The magnitude and phase of classical Fractional transfer functions are describes in equation (7) and (8).

$$|T_{FLPF}(j\omega)| = \frac{d}{\sqrt{\omega^{2\alpha} + 2a \cos\left(\frac{\alpha\pi}{2}\right) + a^2}} \quad (7)$$

$$\angle T_{FLPF}(j\omega) = -\tan^{-1} \frac{\omega^\alpha \sin\left(\frac{\alpha\pi}{2}\right)}{\omega^\alpha \cos\left(\frac{\alpha\pi}{2}\right) + a} \quad (8)$$

The important critical frequencies for this FLPF are found  $\omega_m = \omega_a (-\cos(\alpha\pi/2))^{\frac{1}{\alpha}}$ ,  $\omega_p = \omega_a / (-\cos(\alpha\pi/2))^{\frac{1}{\alpha}}$  and  $\omega_h = \omega_a (\sqrt{1 + \cos^2(\alpha\pi/2)} - \cos(\alpha\pi/2))^{\frac{1}{\alpha}}$ . From these expressions it is seen that both  $\omega_m$  and  $\omega_h$  exist only if  $\alpha > 1$ .

- $\omega_m$  is the frequency at which the magnitude response has a maximum or a minimum.
- $\omega_h$  is the half-power frequency at which the power drops to half the pass band power.
- $\omega_p$  is the right-phase frequency at which the phase  $\angle T_{FLPF}(j\omega_p) = \pm\pi/2$ .

#### IV. REALIZATION OTA LOW PASS FILTER CIRCUIT WITH THE FRACTIONAL ORDER STEP

##### A. Circuit Design

To realize the transfer function to correspond with the Fractional-order theoretical presents in equation (6) that used single operation transconductance amplifier and CFA. The circuit for simulation and verification is shown in Figure 5.

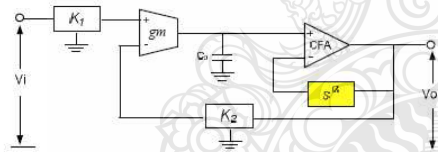


Figure 5. OTA LT1228 circuit used in the approximation to the Fractional low pass filter order  $(n + \alpha)$

The Low Pass Filter circuit in Figure 5, consists of an operation transconductance amplifier and CFA (Current Feedback Amplifier). This filter used an integer order approximation of  $s^\alpha$  and built an integer order filter that demonstrates the Fractional step through the stop band. The

CFA has been designed to operate with the Fractance circuit for finite gain bandwidth of filter and help for low output impedance capability. According to specification of IC the transconductance can be configured by  $I_{set}$ . We replaced the Fractance circuit on a negative feedback of CFA. The purpose of replacement to current feedback control gain of buffering and also backward feedback control to the input ( $V_{in}^-$ ) of OTA which is proportional of control current output follows equation (9).

$$I_o = gm(V_{in}^+ - V_{in}^-) \quad (9)$$

As the depiction if controllable the gain of amplifier and gain of buffer CFA by Fractional-order behavior that can be reduced error from gain amplifier, increasing gain with slope of 20 dB/dec and reduced the peaking problem of filter at the interval cut-off frequency.

##### B. Simulation and Experimental results

The transfer function of Figure 4, can be derived from KCL and node methods then yield approximate transfer function is.

$$T(s) = \frac{V_o}{V_i} = \frac{gm K_1}{s^{(1+\alpha)} [K_2]^2 + \frac{gm}{C_0} K_2 s + 1} \quad (10)$$

The ratio of division  $K_1=K_2= 2/33$  for value of resistors. In the data sheet of IC LT1228 the transconductance calculates from equation (11).

$$gm = h \cdot I_{set} \quad (11)$$

In equation (11)  $h = 8.8$  because in the datasheet of IC LT1228 [5] the transconductance is specified  $h=10$  for resistor load but this filter has designed with the Fractance load which is a half of integrator, so  $h = 8.8$ .

The CFA uses as the voltage follower and voltage of  $V_{C0}$  to supply the current input of the CFA then output had also feedback to the input of OTA (negative input) help for control gain amplifier of OTA and help for relative stability flat passband. The all of positive effects are from Fractance circuit operations. The value of  $I_{set}$  for filter can be configured as following.

$$f_p \in 1 \text{ MHz}, \quad I_{set} = 1 \text{ mA}$$

##### C. Simulation filter circuit without the Fractional-order step

We have simulated the filter before implement the Fractional-order step by used  $C_0 = 47\text{pF}$ , the CFA gain = 1, and  $I_{set} = 1 \text{ mA}$ .



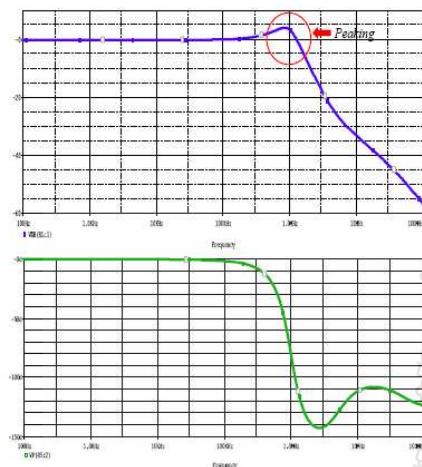


Figure 6. Magnitude and phase bode plots response (CFA gain=1)

In Figure 6, we found on the magnitude response at the cut-off frequency (1 MHz) of filter appeared the peaking problem is about 5dB and slope is not relative stability then analyzed found the peaking is from the steady-state error of amplifier.

#### D. Implement the Fractional-order step

We have implemented the Fractional order step  $(1 + \alpha)$  on the circuit in Figure 5, for the cases  $\alpha = 0.1, 0.5$  and  $0.9$ . The results in all pole frequency values and method of experimental same as item C.

In Figure 7, after the circuit has been implemented the Fractional-order step  $\alpha = 0.1, 0.5$  and  $0.9$  to verify the suspicion. The step response of  $\alpha = 0.9$  order. The result shown very stability and can be reduced the peaking at cut-off frequency.

Comparison the magnitude response between Figure 6, Vs Figure 7, found in the Figure 7, the slope of filter is satisfied that magnitude curves have a slope tends  $-20$  dB/dec for high frequency. It's comparable to high order filters which is used more active components, according to filter structure has referred to the Butterworth function that phase is slightly shifted when step orders in the high frequency, because it is linear phase response in the passband which is correspond well with the Butterworth function theoretical.

#### V. CONCLUSION

The circuit design and improve the performance of OTA low pass filter with Fractional-order step by used only single OTA and Fractance circuit. The results of simulation shown

that the Fractional-order step response of  $\alpha = 0.9$  order gives a fast response, sustainability of flat passband of magnitude response, better performance to reduced the peaking problem and slope of magnitude response is stability than other order steps. It fully proved the Fractional-order step can be used attenuation selective in frequency, and allow reduction of amplitude of the high frequency switching. This technique can be applied to OTA high order filters, Analog PID controller circuit and phase lock loop circuit.

#### REFERENCES

- [1] T. Freeborn, B. Maundy, and A. Elwakil, "Towards the Realization of Fractional Step Filter", Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, June 2010, pp. 1037 – 1040.
- [2] A. G. Radwan1, A. M. Soliman2, and A. S. Elwakil3, "Design equations for fractional-order sinusoidal oscillators: Four practical circuit examples", International Journal of Circuit Theory and Applications, Vol. 36, Issue 4, pp. 473–492, June 2008
- [3] P. Yifei, Y. Xiao, L. Ke and Z. Jiliu, "Structuring Analog Fractance Circuit for 1/2 Order Fractional Calculus" ASIC, 2005. ASICON 2005. 6th International Conference" Oct. 2005, pp.1136 -1139.
- [4] A. G. RADWAN, A. M. SOLIMAN, and A. S. ELWAKIL, "First Order filter generalized to the Fractional Domain", Journal of Circuits, Systems, and Computers, Vol. 17, No. 1, pp.55–66,2008.
- [5] P. Vyskočil, "Multifunctional Tunable Filter with OTA" Brno University of Technology, MSM21630513.
- [6] PODLUBNY and I. PETRÁŠ, "Analogue Realizations of Fractional-Order Controllers" Nonlinear Dynamics 29, pp.286-296, 2002.
- [7] M. Olšák and D. Bielek, "Controlled filters with LT1228 OTA amplifiers", unpublished.
- [8] I. Podlubny, L. Dorcak, and I. Kostial, "On Fractional Derivatives, Fractional-Order Dynamic Systems and PID-controller" Conference on Decision & Control San Diego, pp. December 1997, pp. 4985-4990.

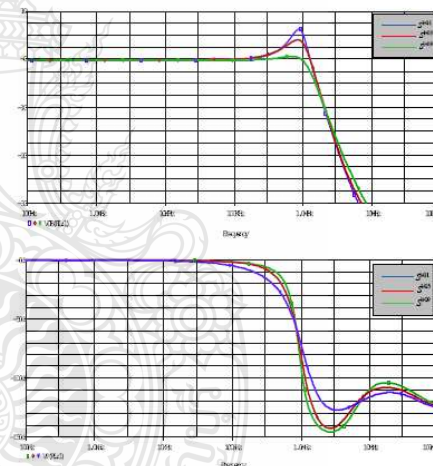


Figure 7. Magnitude and phase bode plot response of filter after implemented the Fractional-Order step, blue line is  $\alpha = 0.1$ , red line is  $\alpha = 0.5$  and green line is  $\alpha = 0.9$

## ประวัติผู้เขียน

ชื่อ - นามสกุล	ชเนศ สุขแสง
วัน เดือน ปีเกิด	26 สิงหาคม 2522
ที่อยู่	50/95 หมู่ 4 ตำบลคลองสาม อำเภอคลองหลวง จังหวัดปทุมธานี 12120
การศึกษา	
พ.ศ. 2545	สำเร็จการศึกษาระดับปริญญาตรีบัณฑิต ภาคศึกษาศาสตร์วิศวกรรม สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปี
ประสบการณ์การทำงาน	
พ.ศ. 2554 – ปัจจุบัน	วิศวกรอิเล็กทรอนิกส์และทดสอบ บริษัทโอค่าโร (ประเทศไทย)
พ.ศ. 2551-2554	วิศวกรทดสอบผลิตภัณฑ์ บริษัทเบ็นซ์มาร์คอิเล็กทรอนิกส์ (ประเทศไทย)
พ.ศ. 2548-2551	วิศวกรทดสอบผลิตภัณฑ์ บริษัทเวสเทิร์นดิจิตอล (ประเทศไทย)

